

Attorney Docket No. 15162/03070

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re

U.S. application of: Yoshio HAGIHARA and Tomokazu KAKUMOTO

For: SOLID-STATE IMAGE-SENSING DEVICE

U.S. Serial No.: To Be Assigned

Filed: Concurrently

Group Art Unit: To Be Assigned

Examiner: To Be Assigned

BOX PATENT APPLICATION

Assistant Director

for Patents

Washington, D.C. 20231

Dear Sir:

EXPRESS MAIL MAILING LABEL NO.: EL195372237US
DATE OF DEPOSIT: JANUARY 25, 2001
I hereby certify that this paper or fee is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 C.F.R. § 1.10 on the dated indicated above and is addressed to BOX PATENT APPLICATION, Assistant Director for Patents, Washington, DC 20231.

Derrick T. Gordon

Name of Person Mailing Paper or Fee

Derrick T. Gordon

Signature

January 25, 2001

Date of Signature

CERTIFIED COPIES OF PRIORITY DOCUMENTS

Submitted herewith are certified copies of Japanese Patent Application No. 2000-028879 filed February 1, 2000, Japanese Patent Application No. 2000-028946 filed February 1, 2000, and Japanese Patent Application No. 2000-056029 filed February 28, 2000.

Priority benefit under 35 U.S.C. § 119/365 for the Japanese patent applications are claimed for the above-identified United States patent application.

Respectfully submitted,

James W. Williams

James W. Williams

Registration No. 20,047

Attorney for Applicants

JWW/rb
SIDLEY & AUSTIN
717 North Harwood
Suite 3400
Dallas, Texas 75201-6507
(214) 981-3328 (direct)
(214) 981-3300 (main)
January 25, 2001

3
S.W. H
2/12/02
Jc960 U.S. PTO
09/769065
01/25/01

CERTIFIED COPY OF
PRIORITY DOCUMENT

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されて
る事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出 願 年 月 日

Date of Application:

2000年 2月28日

出 願 番 号

Application Number:

特願2000-056029

出 願 人

Applicant (s):

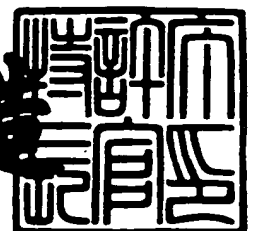
ミノルタ株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2000年12月 8日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



【書類名】 特許願

【整理番号】 P000228028

【提出日】 平成12年 2月28日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/14

【発明の名称】 固体撮像装置

【請求項の数】 12

【発明者】

【住所又は居所】 大阪府中央区安土町二丁目3番13号 大阪国際ビル
ミノルタ株式会社内

【氏名】 萩原 義雄

【特許出願人】

【識別番号】 000006079

【氏名又は名称】 ミノルタ株式会社

【代理人】

【識別番号】 100085501

【弁理士】

【氏名又は名称】 佐野 静夫

【代理人】

【識別番号】 100111811

【弁理士】

【氏名又は名称】 山田 茂樹

【手数料の表示】

【予納台帳番号】 024969

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

特 2 0 0 0 - 0 5 6 . 0 2 9

【包括委任状番号】 9716119

【包括委任状番号】 0000030

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 固体撮像装置

【特許請求の範囲】

【請求項 1】 入射した光量に対して自然対数的に変換した出力信号を発生する光電変換手段と、該光電変換手段の出力信号を出力信号線へ導出する導出路とを備えた複数の画素を有する固体撮像装置において、

前記光電変換手段が、

第 1 電極に直流電圧が印加された光電変換素子と、

第 1 電極と第 2 電極と制御電極とを備え、第 1 電極及び制御電極が前記光電変換素子の第 2 電極に接続され、制御電極から電気信号を出力する第 1 トランジスタと、

該第 1 トランジスタの第 2 電極を、第 1 トランジスタがサブスレッショルド領域で動作するように直流電圧を印加するための第 1 直流電圧線又は前記第 1 トランジスタに定電流を流すための定電流源のいずれかに選択的に接続する接続切換部と、

該接続切換部の動作に関連づけて、前記第 1 トランジスタの第 1 電極及び制御電極に直流電圧を印加するための第 2 直流電圧線との電気的な接離を行うための第 1 スイッチと、

を有することを特徴とする固体撮像装置。

【請求項 2】 第 1 電極と第 2 電極と制御電極とを備え、第 1 電極に直流電圧が印加されるとともに制御電極が前記第 1 トランジスタの第 1 電極及び制御電極に接続され、第 2 電極から電気信号を出力する第 2 トランジスタを更に備えたことを特徴とする請求項 1 に記載の固体撮像装置。

【請求項 3】 前記接続切換部が、前記第 1 トランジスタの第 2 電極及び前記第 1 直流電圧線との間に接続された第 2 スイッチと、前記第 1 トランジスタの第 2 電極及び前記定電流源に接続された第 3 スイッチとを含むことを特徴とする請求項 1 又は請求項 2 に記載の固体撮像装置。

【請求項 4】 光の入射に基づいて光電変換素子から出力される電気信号が第 1 トランジスタに流れ込むのを防止するための第 4 スイッチを更に備えたことを

特徴とする請求項 1 ～請求項 3 のいずれかに記載の固体撮像装置。

【請求項 5】 複数の画素を有する固体撮像装置において、

定電流源を有するとともに、

各画素が、

フォトダイオードと、

該フォトダイオードの第 2 電極に第 1 電極及びゲート電極が接続された第 1 MOS トランジスタと、

前記第 1 MOS トランジスタの第 1 電極及びゲート電極にゲート電極が接続された第 2 MOS トランジスタと、

第 1 電極に直流電圧が印加されるとともに、前記第 1 トランジスタの第 1 電極及びゲート電極に第 2 電極が接続された第 3 MOS トランジスタと、

前記第 1 MOS トランジスタの第 2 電極に第 1 電極が接続されるとともに、前記第 1 MOS トランジスタをサブスレッシュولد領域で動作させるための直流電圧が印加された直流電圧線に第 2 電極が接続された第 4 MOS トランジスタと、

前記第 1 MOS トランジスタの第 2 電極に第 1 電極が接続されるとともに、前記定電流源に第 2 電極が接続された第 5 MOS トランジスタと、を有し、

前記画素に撮像動作をさせるときは、前記フォトダイオードから出力される電気信号を自然対数的に変換するように、前記第 3、第 5 MOS トランジスタを OFF にするとともに前記第 4 MOS トランジスタを ON にして、前記第 1 MOS トランジスタを閾値以下のサブスレッシュولد領域で動作させ、

前記画素のリセットを行うときに、前記第 3、第 5 MOS トランジスタを ON にするとともに前記第 4 MOS トランジスタを OFF にして、前記第 1 MOS トランジスタに定電流を流して、前記第 1 MOS トランジスタのゲート電極を前記第 1 MOS トランジスタに対応した所定の電圧値にリセットすることを特徴とする固体撮像装置。

【請求項 6】 前記フォトダイオードと前記第 1 MOS トランジスタとの間に設けられ、前記フォトダイオードの第 2 電極に第 1 電極が接続されるとともに、前記第 1 MOS トランジスタの第 1 電極及びゲート電極の接続ノードに第 2 電極が接続された第 6 MOS トランジスタを有し、

前記画素に撮像動作をさせるときは、前記フォトダイオードから出力される電気信号を自然対数的に変換するように、前記第 3 及び第 5 MOS トランジスタを OFF にするとともに前記第 4 及び第 6 MOS トランジスタを ON にして、前記第 1 MOS トランジスタを閾値以下のサブスレッショルド領域で動作させ、

前記画素のリセットを行うときに、前記第 3 及び第 5 MOS トランジスタを ON にするとともに前記第 4 及び第 6 MOS トランジスタを OFF にして、前記第 1 MOS トランジスタに定電流を流して、前記第 1 MOS トランジスタのゲート電極を前記第 1 MOS トランジスタに対応した所定の電圧値にリセットすることを特徴とする請求項 5 に記載の固体撮像装置。

【請求項 7】 第 1 電極に直流電圧が印加されるとともに、前記フォトダイオードの第 1 電極に第 2 電極が接続された第 6 MOS トランジスタを有し、

前記画素に撮像動作をさせるときは、前記フォトダイオードから出力される電気信号を自然対数的に変換するように、前記第 3 及び第 5 MOS トランジスタを OFF にするとともに前記第 4 及び第 6 MOS トランジスタを ON にして、前記第 1 MOS トランジスタを閾値以下のサブスレッショルド領域で動作させ、

前記画素のリセットを行うときに、前記第 3 及び第 5 MOS トランジスタを ON にするとともに前記第 4 及び第 6 MOS トランジスタを OFF にして、前記第 1 MOS トランジスタに定電流を流して、前記第 1 MOS トランジスタのゲート電極を前記第 1 MOS トランジスタに対応した所定の電圧値にリセットすることを特徴とする請求項 5 に記載の固体撮像装置。

【請求項 8】 前記画素が、第 1 電極が前記第 2 MOS トランジスタの第 2 電極に接続され、第 2 電極が出力信号線に接続され、ゲート電極が行選択線に接続された第 7 MOS トランジスタを有することを特徴とする請求項 5 ～請求項 7 のいずれかに記載の固体撮像装置。

【請求項 9】 前記画素が、第 1 電極が直流電圧に接続され、ゲート電極が前記第 2 MOS トランジスタの第 2 電極に接続されるとともに、前記第 2 MOS トランジスタの第 2 電極から出力される出力信号を増幅する第 8 MOS トランジスタと、

第 1 電極が前記第 8 MOS トランジスタの第 2 電極に接続され、第 2 電極が出

力信号線に接続され、ゲート電極が行選択線に接続された第 7 MOS トランジスタと、

を有することを特徴とする請求項 5 ～請求項 7 のいずれかに記載の固体撮像装置。

【請求項 1 0】 前記画素が、前記第 2 MOS トランジスタの第 2 電極に一端が接続されるとともに、前記第 2 MOS トランジスタの第 1 電極にリセット電圧が与えられたときに前記第 2 MOS トランジスタを介してリセットされるキャパシタを有することを特徴とする請求項 9 に記載の固体撮像装置。

【請求項 1 1】 前記第 2 MOS トランジスタの第 1 電極が直流電圧に接続されるとともに、

前記画素が、

前記第 2 MOS トランジスタの第 2 電極に第 1 電極が接続され第 2 電極に直流電圧が接続された第 9 MOS トランジスタと、

前記第 2 MOS トランジスタの第 2 電極に一端が接続されるとともに、前記第 9 MOS トランジスタのゲート電極にリセット電圧が与えられたときに前記第 9 MOS トランジスタを介してリセットされるキャパシタと、

を有することを特徴とする請求項 9 に記載の固体撮像装置。

【請求項 1 2】 前記画素に対し前記出力信号線を介して接続された負荷抵抗又は定電流源を成す MOS トランジスタを備えていることを特徴とする請求項 5 ～請求項 1 1 のいずれかに記載の固体撮像装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は固体撮像装置に関するものであり、特に画素を二次元に配置した固体撮像装置に関する。

【 0 0 0 2 】

【従来の技術】

フォトダイオード等の光電変換素子（感光素子）と、その光電変換素子で発生した光電荷を出力信号線へ取り出す手段とを含む画素をマトリクス状（行列状）

に配してなる二次元固体撮像装置は種々の用途に供されている。ところで、このような固体撮像装置は光電変換素子で発生した光電荷を読み出す（取り出す）手段によってCCD型とMOS型に大きく分けられる。CCD型は光電荷をポテンシャルの井戸に蓄積しつつ、転送するようになっており、ダイナミックレンジが狭いという欠点がある。一方、MOS型はフォトダイオードのpn接合容量に蓄積した電荷をMOSトランジスタを通して直接読み出すようになっていた。

【0003】

ここで、従来のMOS型固体撮像装置の1画素当りの構成を図28に示し説明する。同図において、PDはフォトダイオードであり、そのカソードがMOSトランジスタT1のゲートとMOSトランジスタT2のソースに接続されている。MOSトランジスタT1のソースはMOSトランジスタT3のドレインに接続され、MOSトランジスタT3のソースは出力信号線V_{out}へ接続されている。また、MOSトランジスタT1のドレイン及びMOSトランジスタT2のドレインには直流電圧V_{PD}が印加され、フォトダイオードのアノードには直流電圧V_{PS}が印加されている。

【0004】

フォトダイオードPDに光が入射すると、光電荷が発生し、その電荷はMOSトランジスタT1のゲートに蓄積される。ここで、MOSトランジスタT3のゲートにパルス信号 ϕ_V を与えてMOSトランジスタT3をONすると、MOSトランジスタT1のゲートの電荷に比例した電流がMOSトランジスタT1、T3を通過して出力信号線へ導出される。このようにして入射光量に比例した出力電流を読み出すことができる。信号読み出し後はMOSトランジスタT3をOFFにしてMOSトランジスタT2をONすることでMOSトランジスタT1のゲート電圧を初期化させることができる。

【0005】

【発明が解決しようとする課題】

このように、従来のMOS型の固体撮像装置は各画素においてフォトダイオードで発生しMOSトランジスタのゲートに蓄積された光電荷をそのまま読み出すものであったからダイナミックレンジが狭く、そのため露光量を精密に制御しな

ければならず、しかも露光量を精密に制御しても暗い部分が黒くつぶれたり、明るい部分が飽和したりしていた。一方、本出願人は、入射した光量に応じた光電流を発生しうる感光手段と、光電流を入力するMOSトランジスタと、このMOSトランジスタをサブスレッシュヨルド電流が流れうる状態にバイアスするバイアス手段とを備え、光電流を対数変換するようにした固体撮像装置を提案した（特開平3-192764号公報参照）。このような固体撮像装置は、広いダイナミックレンジを有しているものの、画素毎に設けられたMOSトランジスタの閾値特性が異なることがあり、画素毎に感度が異なる場合がある。よって、予め輝度が一樣な明るい光（一樣光）を照射することによって得られた出力を、被写体の撮像時の各画素の出力を補正する補正データとして保持するなどの対策が必要である。

【0006】

しかしながら、操作者が外部光源を用いて各画素を照射するのは煩雑であったり、又、うまく一樣に露光できないなどの問題がある。又、一樣光の照射機構を撮像装置に設けると撮像装置の構成が複雑になったり大型化するという問題があった。

【0007】

本発明はこのような点に鑑みなされたものであって、予め一樣光を照射することなく、被写体の撮像時における各画素の出力を補正する補正データを正確に得ることができる固体撮像装置を提供することを目的とする。又、本発明の他の目的は、各画素のゲート部表面ポテンシャルをほぼ同一の状態とする事によって、各画素の感度のバラツキを抑制した固体撮像装置を提供することである。

【0008】

【課題を解決するための手段】

上記目的を達成するために、請求項1に記載の固体撮像装置は、入射した光量に対して自然対数的に変換した出力信号を発生する光電変換手段と、該光電変換手段の出力信号を出力信号線へ導出する導出路とを備えた複数の画素を有する固体撮像装置において、前記光電変換手段が、第1電極に直流電圧が印加された光電変換素子と、第1電極と第2電極と制御電極とを備え、第1電極及び制御電極

が前記光電変換素子の第2電極に接続され、制御電極から電気信号を出力する第1トランジスタと、該第1トランジスタの第2電極を、第1トランジスタがサブスレッシュOLD領域で動作するように直流電圧を印加するための第1直流電圧線又は前記第1トランジスタに定電流を流すための定電流源のいずれかに選択的に接続する接続切換部と、該接続切換部の動作に関連づけて、前記第1トランジスタの第1電極及び制御電極に直流電圧を印加するための第2直流電圧線との電気的な接離を行うための第1スイッチと、を有することを特徴とする。

【0009】

上記構成によれば、接続切換部が第1トランジスタの第2電極を、第1トランジスタをサブスレッシュOLD領域で動作させるための直流電圧が印加された第1直流電圧又は前記第1トランジスタに定電流を流すための定電流源のいずれかに選択的に接続するとともに、接続切換部の動作に関連づけて、第1トランジスタの第1電極及び制御電極に直流電圧を印加するための第2直流電圧線との電気的な接離を行うことにより、撮像信号と各画素の感度バラツキを反映した信号を得ることができる。従って、一様光を照射することなく各画素の感度バラツキ情報を得ることができる。

【0010】

このような固体撮像装置において、請求項2に記載するように、第1電極と第2電極と制御電極とを備え、第1電極に直流電圧が印加されるとともに制御電極が前記第1トランジスタの第1電極及び制御電極に接続され、第2電極から電気信号を出力する第2トランジスタを更に備えても良い。又、請求項3に記載するように、前記接続切換部が、前記第1トランジスタの第2電極及び前記第1直流電圧線との間に接続された第2スイッチと、前記第1トランジスタの第2電極及び前記定電流源に接続された第3スイッチとを含むようにしても良い。

【0011】

このような固体撮像装置において、請求項4に記載するように、光の入射に基づいて光電変換素子から出力される電気信号が第1トランジスタに流れ込むのを防止するための第4スイッチを更に備えるようにしても良い。この場合、第4スイッチは、直流電圧と光電変換素子との間に設けるようにしても良いし、光電変

換素子と第 1 トランジスタの第 1 電極との間に設けるようにしても良い。

【 0 0 1 2 】

請求項 1 ～請求項 4 のいずれかに記載の固体撮像装置において、前記画素が、マトリクス状に配設されていても良い。

【 0 0 1 3 】

請求項 5 に記載の固体撮像装置は、複数の画素を有する固体撮像装置において、定電流源を有するとともに、各画素が、フォトダイオードと、該フォトダイオードの第 2 電極に第 1 電極及びゲート電極が接続された第 1 MOS トランジスタと、前記第 1 MOS トランジスタの第 1 電極及びゲート電極にゲート電極が接続された第 2 MOS トランジスタと、第 1 電極に直流電圧が印加されるとともに、前記第 1 トランジスタの第 1 電極及びゲート電極に第 2 電極が接続された第 3 MOS トランジスタと、前記第 1 MOS トランジスタの第 2 電極に第 1 電極が接続されるとともに、前記第 1 MOS トランジスタをサブスレッシュولد領域で動作させるための直流電圧が印加された直流電圧線に第 2 電極が接続された第 4 MOS トランジスタと、前記第 1 MOS トランジスタの第 2 電極に第 1 電極が接続されるとともに、前記定電流源に第 2 電極が接続された第 5 MOS トランジスタと、を有し、前記画素に撮像動作をさせるときは、前記フォトダイオードから出力される電気信号を自然対数的に変換するように、前記第 3、第 5 MOS トランジスタを OFF にするとともに前記第 4 MOS トランジスタを ON にして、前記第 1 MOS トランジスタを閾値以下のサブスレッシュولد領域で動作させ、前記画素のリセットを行うときに、前記第 3、第 5 MOS トランジスタを ON にするとともに前記第 4 MOS トランジスタを OFF にして、前記第 1 MOS トランジスタに定電流を流して、前記第 1 MOS トランジスタのゲート電極を前記第 1 MOS トランジスタに対応した所定の電圧値にリセットすることを特徴とする。

【 0 0 1 4 】

請求項 6 に記載の固体撮像装置は、請求項 5 に記載の固体撮像装置において、前記フォトダイオードと前記第 1 MOS トランジスタとの間に設けられ、前記フォトダイオードの第 2 電極に第 1 電極が接続されるとともに、前記第 1 MOS トランジスタの第 1 電極及びゲート電極の接続ノードに第 2 電極が接続された第 6

MOSトランジスタを有し、前記画素に撮像動作をさせるときは、前記フォトダイオードから出力される電気信号を自然対数的に変換するように、前記第3及び第5MOSトランジスタをOFFにするとともに前記第4及び第6MOSトランジスタをONにして、前記第1MOSトランジスタを閾値以下のサブスレッショルド領域で動作させ、前記画素のリセットを行うときに、前記第3及び第5MOSトランジスタをONにするとともに前記第4及び第6MOSトランジスタをOFFにして、前記第1MOSトランジスタに定電流を流して、前記第1MOSトランジスタのゲート電極を前記第1MOSトランジスタに対応した所定の電圧値にリセットすることを特徴とする。

【0015】

請求項7に記載の固体撮像装置は、請求項5に記載の固体撮像装置において、第1電極に直流電圧が印加されるとともに、前記フォトダイオードの第1電極に第2電極が接続された第6MOSトランジスタを有し、前記画素に撮像動作をさせるときは、前記フォトダイオードから出力される電気信号を自然対数的に変換するように、前記第3及び第5MOSトランジスタをOFFにするとともに前記第4及び第6MOSトランジスタをONにして、前記第1MOSトランジスタを閾値以下のサブスレッショルド領域で動作させ、前記画素のリセットを行うときに、前記第3及び第5MOSトランジスタをONにするとともに前記第4及び第6MOSトランジスタをOFFにして、前記第1MOSトランジスタに定電流を流して、前記第1MOSトランジスタのゲート電極を前記第1MOSトランジスタに対応した所定の電圧値にリセットすることを特徴とする。

【0016】

上記のような固体撮像装置において、前記第6MOSトランジスタを、ディプレッション型MOSトランジスタに、又は、前記第1MOSトランジスタと逆極性のMOSトランジスタにすることによって、第6MOSトランジスタを動作させるための電源を他のスイッチング素子として働くMOSトランジスタを動作させるための電源と共通の電源にすることが可能となる。

【0017】

請求項5～請求項7のいずれかに記載の固体撮像装置において、請求項8に記

載するように、前記画素に、第 1 電極が前記第 2 MOS トランジスタの第 2 電極に接続され、第 2 電極が出力信号線に接続され、ゲート電極が行選択線に接続された第 7 MOS トランジスタを設けても良い。又、請求項 9 に記載の固体撮像装置のように、前記画素に、第 1 電極が直流電圧に接続され、ゲート電極が前記第 2 MOS トランジスタの第 2 電極に接続されるとともに、前記第 2 MOS トランジスタの第 2 電極から出力される出力信号を増幅する第 8 MOS トランジスタを設けても良い。

【 0 0 1 8 】

又、請求項 9 に記載の固体撮像装置において、請求項 1 0 に記載するように、前記画素に、前記第 2 MOS トランジスタの第 2 電極に一端が接続され他端が直流電圧に接続されるとともに、前記第 2 MOS トランジスタの第 1 電極にリセット電圧が与えられたときに前記第 2 MOS トランジスタを介してリセットされるキャパシタを設けても良い。このような構成にすることによって、画素から出力される信号が、一旦キャパシタで積分された信号となるので、光源の変動成分や高周波のノイズがキャパシタで吸収されて除去される。更に、前記第 2 MOS トランジスタの第 1 電極にリセット電圧を与えることによって、前記第 2 MOS トランジスタを介してキャパシタ内の電荷が放出されてリセットされる。

【 0 0 1 9 】

又、請求項 1 1 に記載するように、前記画素において、前記第 2 MOS トランジスタの第 1 電極が直流電圧に接続されるとともに、前記画素が、前記第 2 MOS トランジスタの第 2 電極に第 1 電極が接続され第 2 電極に直流電圧が接続された第 9 MOS トランジスタと、前記第 2 MOS トランジスタの第 2 電極に一端が接続され他端が直流電圧に接続されるとともに、前記第 9 MOS トランジスタのゲート電極にリセット電圧が与えられたときに前記第 9 MOS トランジスタを介してリセットされるキャパシタと、を設けても構わない。このような構成にすることによって、画素から出力される信号が、一旦キャパシタで積分された信号となるので、光源の変動成分や高周波のノイズがキャパシタで吸収されて除去される。更に、前記第 9 MOS トランジスタのゲート電極にリセット電圧を与えることによって、前記第 9 MOS トランジスタを介してキャパシタ内の電荷が放出さ

れてリセットされる。

【 0 0 2 0 】

請求項 1 2 に記載の固体撮像装置は、請求項 5 ～請求項 1 1 のいずれかに記載の固体撮像装置において、前記画素に対し前記出力信号線を介して接続された負荷抵抗又は定電流源を成す MOS トランジスタを備えていることを特徴とする。

【 0 0 2 1 】

【発明の実施の形態】

<画素構成の第 1 例>

図 1 は本発明の他の実施形態である二次元の MOS 型固体撮像装置の一部の構成を概略的に示している。同図において、 $G_{11} \sim G_{mn}$ は行列配置（マトリクス配置）された画素を示している。2 は垂直走査回路であり、行（ライン）4-1、4-2、 \dots 、4-n を順次走査していく。3 は水平走査回路であり、画素から出力信号線 6-1、6-2、 \dots 、6-m に導出された光電変換信号を画素ごとに水平方向に順次読み出す。5 は電源ラインである。又、定電流源 9-1、9-2、 \dots 、9-m が列毎にそれぞれ、電流供給線 8-1、8-2、 \dots 、8-m を介して、画素 $G_{11} \sim G_{1n}$ 、 $G_{21} \sim G_{2n}$ 、 \dots 、 $G_{m1} \sim G_{mn}$ と接続される。直流電圧 VPS が供給されるライン 7-1、7-2、 \dots 、7-n が行毎にそれぞれ、画素 $G_{11} \sim G_{m1}$ 、 $G_{12} \sim G_{m2}$ 、 \dots 、 $G_{1n} \sim G_{mn}$ に接続される。各画素に対し、上記ライン 4-1、4-2、 \dots 、4-n、ライン 7-1、7-2、 \dots 、7-n 及び電流供給線 8-1、8-2、 \dots 、8-m や出力信号線 6-1、6-2、 \dots 、6-m、電源ライン 5 だけでなく、他のライン（例えば、クロックラインやバイアス供給ライン等）も接続されるが、図 1 ではこれらについて省略する。

【 0 0 2 2 】

出力信号線 6-1、6-2、 \dots 、6-m ごとに N チャネルの MOS トランジスタ Q 2 が図示の如く 1 組ずつ設けられている。出力信号線 6-1 を例にとって説明すると、MOS トランジスタ Q 2 のドレインは出力信号線 6-1 に接続され、ソースは最終的な信号線 10 に接続され、ゲートは水平走査回路 3 に接続されている。尚、後述するように図 2 の画素にはスイッチ用の N チャネルの MOS

トランジスタT7も設けられている。ここで、MOSトランジスタT7は行の選択を行うものであり、MOSトランジスタQ2は列の選択を行うものである。

【0023】

＜第1の実施形態＞

図1に示した画素構成の第1例の各画素に適用される第1の実施形態（図2）について、図面を参照して説明する。

【0024】

図2において、pnフォトダイオードPDが感光部（光電変換部）を形成している。そのフォトダイオードPDのアノードはMOSトランジスタT1のドレイン及びゲート、MOSトランジスタT2のゲート、そして、MOSトランジスタT3のソースに接続されている。MOSトランジスタT2のソースは行選択用のMOSトランジスタT7のドレインに接続されている。MOSトランジスタT7のソースは出力信号線6（この出力信号線6は図1の6-1、6-2、・・・、6-mに対応する）へ接続されている。又、MOSトランジスタT1のソースは、MOSトランジスタT4のドレイン及びMOSトランジスタT5のドレインに接続されている。尚、MOSトランジスタT1～T5、T7は、それぞれ、NチャネルのMOSトランジスタでバックゲートが接地されている。

【0025】

又、フォトダイオードPDのカソードには直流電圧VPDが印加されるようになっている。MOSトランジスタT3のドレインには直流電圧VDが印加される。一方、MOSトランジスタT4のソースにはライン7（このライン7は図1の7-1、7-2、・・・、7-nに対応する）より直流電圧VPSが印加され、MOSトランジスタT5のソースには一端に直流電圧VSSが印加された定電流源9（この定電流源9は図1の9-1、9-2、・・・、9-mに対応する）の他端にライン8（このライン8は図1の8-1、8-2、・・・、8-mに対応する）を介して接続される。MOSトランジスタT2のソースには他端にライン7より直流電圧VPSが印加されたキャパシタCの一端が接続される。MOSトランジスタT7のゲートには信号φVが入力される。又、MOSトランジスタT3、T4、T5のゲートには、それぞれ、信号φSW、φSW1、φSW2が入力される。

。更に、MOSトランジスタT2のドレインには信号 ϕD が入力される。

【0026】

(1) 各画素への入射光を電気信号に変換する動作について

まず、信号 ϕSW 、 $\phi SW2$ をローレベルとしてMOSトランジスタT3、T5をOFFにするとともに、MOSトランジスタT1がサブスレッショルド領域で動作するように、信号 $\phi SW1$ をハイレベルにしてMOSトランジスタT4をONにする。又、信号 ϕD はハイレベルとされ、直流電圧VPDと同じ又は直流電圧VPDに近い電圧となっている。

【0027】

このとき、フォトダイオードPDに光が入射すると光電流が発生し、MOSトランジスタのサブスレッショルド特性により、前記光電流を自然対数的に変換した値の電圧がMOSトランジスタT1、T2のゲートに発生する。この電圧により、MOSトランジスタT2に電流が流れ、キャパシタCには前記光電流の積分値を自然対数的に変換した値と同等の電荷が蓄積される。つまり、キャパシタCとMOSトランジスタT2のソースとの接続ノードaに、前記光電流の積分値を自然対数的に変換した値に比例した電圧が生じることになる。ただし、このとき、MOSトランジスタT7はOFFの状態とする。

【0028】

次に、MOSトランジスタT7のゲートにパルス信号 ϕV を与えて、MOSトランジスタT7をONにすると、キャパシタCに蓄積された電荷が、出力電流として出力信号線6に導出される。よって、この出力信号線6に導出される電流は前記光電流の積分値を自然対数的に変換した値となる。このようにして入射光量の対数値に比例した信号（出力電流）を読み出すことができる。又、信号読み出し後、MOSトランジスタT7をOFFする。

【0029】

(2) 各画素のリセット動作について

以下に、図面を参照して、図2のような回路構成の画素のリセット動作について説明する。図3は、リセット動作を行うときの画素内の各素子に接続された各信号線に与える信号のタイミングチャートである。

【 0 0 3 0 】

(1) で説明したように、パルス信号 ϕV が MOS トランジスタ T 7 のゲートに与えられて出力信号が出力されると、まず、信号 ϕSW 、 $\phi SW 2$ をハイレベルにして MOS トランジスタ T 3、T 5 を ON にするとともに、信号 $\phi SW 1$ をローレベルにして、MOS トランジスタ T 4 を OFF にする。このようにして、定電流源 9 を流れる電流が MOS トランジスタ T 1 に流れるようにする。尚、この定電流源 9 を流れる電流は、フォトダイオード PD より与えられる光電流に比べて、十分大きい電流となるため、MOS トランジスタ T 1 に流れるドレイン電流が定電流源 9 から供給される電流に略等しいものとすることができる。そして、一旦信号 ϕD をローレベルにして、キャパシタ C に蓄積された電荷を MOS トランジスタ T 2 を通して信号 ϕD の信号線路に放出して、キャパシタ C 及び接続ノード a の電位を初期化した後、再び信号 ϕD をハイレベルに戻す。

【 0 0 3 1 】

このように信号 ϕSW 、 $\phi SW 2$ をハイレベルにするとともに信号 $\phi SW 1$ をローレベルにしている間、定電流が MOS トランジスタ T 1 に流れる。よって、MOS トランジスタ T 1 のソース・ゲート間電圧が MOS トランジスタ T 1 のドレイン電流によって決定し、初期化される。このように、MOS トランジスタ T 1 のゲート電圧が初期値にリセットされると、MOS トランジスタ T 7 のゲートにパルス信号 ϕV を与えて、そのリセットされたときの信号（出力電流）を出力信号線 6 に出力する。

【 0 0 3 2 】

このようにして、リセット時の信号を読み出すと、信号 ϕSW 、 $\phi SW 2$ をローレベルにして、MOS トランジスタ T 3、T 5 を OFF にするとともに信号 $\phi SW 1$ をハイレベルにして、MOS トランジスタ T 4 を ON にする。その後、信号 ϕD をローレベルにして、キャパシタ C に蓄積された電荷を MOS トランジスタ T 2 を通して信号 ϕD の信号線路に放出して、キャパシタ C 及び接続ノード a の電位が初期化される。そして、信号 ϕD を元のハイレベルに戻して、次の撮像が行える状態とする。

【 0 0 3 3 】

＜画素構成の第 2 例＞

図 4 は本発明の他の実施形態である二次元の MOS 型固体撮像装置の一部の構成を概略的に示している。同図において、 $G_{11} \sim G_{mn}$ は行列配置（マトリクス配置）された画素を示している。2 は垂直走査回路であり、行（ライン） $4-1$ 、 $4-2$ 、 \dots 、 $4-n$ を順次走査していく。3 は水平走査回路であり、画素から出力信号線 $6-1$ 、 $6-2$ 、 \dots 、 $6-m$ に導出された光電変換信号を画素ごとに水平方向に順次読み出す。5 は電源ラインである。又、定電流源 $9-1$ 、 $9-2$ 、 \dots 、 $9-m$ が列毎にそれぞれ、電流供給線 $8-1$ 、 $8-2$ 、 \dots 、 $8-m$ を介して、画素 $G_{11} \sim G_{1n}$ 、 $G_{21} \sim G_{2n}$ 、 \dots 、 $G_{m1} \sim G_{mn}$ と接続される。直流電圧 V_{PS} が供給されるライン $7-1$ 、 $7-2$ 、 \dots 、 $7-n$ が行毎にそれぞれ、画素 $G_{11} \sim G_{m1}$ 、 $G_{12} \sim G_{m2}$ 、 \dots 、 $G_{1n} \sim G_{mn}$ に接続される。各画素に対し、上記ライン $4-1$ 、 $4-2 \dots$ 、 $4-n$ 、ライン $7-1$ 、 $7-2$ 、 \dots 、 $7-n$ 及び電流供給線 $8-1$ 、 $8-2$ 、 \dots 、 $8-m$ や出力信号線 $6-1$ 、 $6-2 \dots$ 、 $6-m$ 、電源ライン 5 だけでなく、他のライン（例えば、クロックラインやバイアス供給ライン等）も接続されるが、図 4 ではこれらについて省略する。

【0034】

出力信号線 $6-1$ 、 $6-2$ 、 \dots 、 $6-m$ ごとに N チャネルの MOS トランジスタ Q_1 、 Q_2 が図示の如く 1 組ずつ設けられている。出力信号線 $6-1$ を例にとって説明すると、MOS トランジスタ Q_1 のゲートは直流電圧線 11 に接続され、ドレインは出力信号線 $6-1$ に接続され、ソースは直流電圧 V_{PS}' のライン 12 に接続されている。一方、MOS トランジスタ Q_2 のドレインは出力信号線 $6-1$ に接続され、ソースは最終的な信号線 10 に接続され、ゲートは水平走査回路 3 に接続されている。

【0035】

画素 $G_{11} \sim G_{mn}$ には、後述するように、それらの画素で発生した光電荷に基づく信号を出力する N チャネルの MOS トランジスタ T_a が設けられている。MOS トランジスタ T_a と上記 MOS トランジスタ Q_1 との接続関係は図 5 (a) のようになる。この MOS トランジスタ T_a は、第 2、第 3 の実施形態では、M

OSトランジスタT8に、第4、第5の実施形態では、MOSトランジスタT2に相当する。ここで、MOSトランジスタQ1のソースに接続される直流電圧VPS' と、MOSトランジスタTaのドレインに接続される直流電圧VPD' との関係は $VPD' > VPS'$ であり、直流電圧VPS' は例えばグランド電圧（接地）である。この回路構成は上段のMOSトランジスタTaのゲートに信号が入力され、下段のMOSトランジスタQ1のゲートには直流電圧DCが常時印加される。このため下段のMOSトランジスタQ1は抵抗又は定電流源と等価であり、図5（a）の回路はソースフォロワ型の増幅回路となっている。この場合、MOSトランジスタTaから増幅出力されるのは電流であると考えてよい。

【0036】

MOSトランジスタQ2は水平走査回路3によって制御され、スイッチ素子として動作する。尚、後述するように図3以降の各実施形態の画素内にはスイッチ用のNチャネルのMOSトランジスタT7も設けられている。このMOSトランジスタT7も含めて表わすと、図5（a）の回路は正確には図5（b）のようになる。即ち、MOSトランジスタT7がMOSトランジスタQ1とMOSトランジスタTaとの間に挿入されている。ここで、MOSトランジスタT7は行の選択を行うものであり、MOSトランジスタQ2は列の選択を行うものである。尚、図4および図5に示す構成は以下に説明する第2～第5の実施形態に共通の構成である。

【0037】

図5のように構成することにより信号のゲインを大きく出力することができる。従って、画素がダイナミックレンジ拡大のために感光素子から発生する光電流を自然対数的に変換しているような場合は、そのままでは出力信号が小さいが、本増幅回路により充分大きな信号に増幅されるため、後続の信号処理回路（図示せず）での処理が容易になる。また、増幅回路の負荷抵抗部分を構成するMOSトランジスタQ1を画素内に設けずに、列方向に配置された複数の画素が接続される出力信号線6-1、6-2、・・・、6-mごとに設けることにより、負荷抵抗又は定電流源の数を低減でき、半導体チップ上で増幅回路が占める面積を少なくできる。

【 0 0 3 8 】

＜第 2 の実施形態＞

図 4 に示した画素構成の第 2 例の各画素に適用される第 2 の実施形態について、図面を参照して説明する。図 6 は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。尚、図 2 に示す画素と同様の目的で使用する素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

【 0 0 3 9 】

図 6 に示すように、本実施形態では、図 2 に示す画素に、接続ノード a にゲートが接続され接続ノード a の電圧に応じた電流増幅を行う MOS トランジスタ T 8 と、接続ノード a にドレインが接続されキャパシタ C 及び接続ノード a の電位の初期化を行う MOS トランジスタ T 9 とが付加された構成となる。MOS トランジスタ T 8 のソースには行選択用の MOS トランジスタ T 7 のドレインが接続されている。MOS トランジスタ T 7 のソースは出力信号線 6（この出力信号線 6 は図 4 の 6-1、6-2、・・・、6-m に対応する）へ接続されている。尚、MOS トランジスタ T 8、T 9 も、MOS トランジスタ T 1～T 5、T 7 と同様に、N チャンネルの MOS トランジスタでバックゲートが接地されている。

【 0 0 4 0 】

又、MOS トランジスタ T 8 のドレインには直流電圧 VPD が印加され、MOS トランジスタ T 7 のゲートには信号 ϕV が入力される。又、MOS トランジスタ T 9 のソースには直流電圧 VRB が印加されるとともに、そのゲートには信号 ϕV_{RS} が入力される。更に、MOS トランジスタ T 2 のドレインには直流電圧 VPD が印加される。尚、本実施形態において、MOS トランジスタ T 1～T 5、T 7 及びキャパシタ C は、第 1 の実施形態（図 2）と同様の動作を行い、各画素のリセット動作及び撮像動作を行うことができる。以下にその動作を説明する。

【 0 0 4 1 】

（1）各画素への入射光を電気信号に変換する動作について

まず、信号 ϕSW 、 ϕSW_2 をローレベルとして MOS トランジスタ T 3、T 5 を OFF にするとともに、MOS トランジスタ T 1 がサブスレッショルド領域

で動作するように、信号 ϕ SW 1 をハイレベルにして MOS トランジスタ T 4 を ON にする。

【 0 0 4 2 】

このとき、フォトダイオード P D に光が入射すると光電流が発生し、M O S トランジスタのサブスレッショルド特性により、前記光電流を自然対数的に変換した値の電圧が M O S トランジスタ T 1 , T 2 のゲートに発生する。この電圧により、M O S トランジスタ T 2 に電流が流れ、キャパシタ C には前記光電流の積分値を自然対数的に変換した値と同等の電荷が蓄積される。つまり、キャパシタ C と M O S トランジスタ T 2 のソースとの接続ノード a に、前記光電流の積分値を自然対数的に変換した値に比例した電圧が生じることになる。ただし、このとき、M O S トランジスタ T 7 , T 9 は O F F の状態とする。

【 0 0 4 3 】

次に、M O S トランジスタ T 7 のゲートにパルス信号 ϕ V を与えて、M O S トランジスタ T 7 を ON にすると、M O S トランジスタ T 8 のゲートにかかる電圧に比例した電流が M O S トランジスタ T 8 , T 7 を通って出力信号線 6 に導出される。今、M O S トランジスタ T 8 のゲートにかかる電圧は、接続ノード a にかかる電圧であるので、出力信号線 6 に導出される電流は前記光電流の積分値を自然対数的に変換した値となる。このようにして入射光量の対数値に比例した信号（出力電流）を読み出すことができる。又、信号読み出し後、M O S トランジスタ T 7 を O F F する。

【 0 0 4 4 】

（ 2 ）各画素のリセット動作について

以下に、図面を参照して、図 6 のような回路構成の画素のリセット動作について説明する。図 7 は、リセット動作を行うときの画素内の各素子に接続された各信号線に与える信号のタイミングチャートである。

【 0 0 4 5 】

（ 1 ）で説明したように、パルス信号 ϕ V が M O S トランジスタ T 7 のゲートに与えられて出力信号が出力されると、まず、信号 ϕ SW , ϕ SW 2 をハイレベルにして M O S トランジスタ T 3 , T 5 を ON にするとともに、信号 ϕ SW 1 を

ローレベルにして、MOSトランジスタT4をOFFにする。このようにして、定電流源9を流れる電流がMOSトランジスタT1に流れるようにする。尚、この定電流源9を流れる電流は、フォトダイオードPDより与えられる光電流に比べて、十分大きい電流となるため、MOSトランジスタT1に流れるドレイン電流が定電流源9から供給される電流に略等しいものとする事ができる。そして、一旦パルス信号 ϕ VRSをMOSトランジスタT9のゲートに与えて、キャパシタCに蓄積された電荷をMOSトランジスタT9を通して直流電圧VRBが印加される直流電圧線に放出して、キャパシタC及び接続ノードaの電位を初期化する。

【 0 0 4 6 】

このように信号 ϕ SW, ϕ SW2をハイレベルにするとともに信号 ϕ SW1をローレベルにしている間、定電流がMOSトランジスタT1に流れる。よって、MOSトランジスタT1のソース・ゲート間電圧がMOSトランジスタT1のドレイン電流によって決定し、初期化される。このように、MOSトランジスタT1のゲート電圧が初期値にリセットされると、MOSトランジスタT7のゲートにパルス信号 ϕ Vを与えて、そのリセットされたときの信号（出力電流）を出力信号線6に出力する。

【 0 0 4 7 】

このようにして、リセット時の信号を読み出すと、信号 ϕ SW, ϕ SW2をローレベルにして、MOSトランジスタT3, T5をOFFにするとともに信号 ϕ SW1をハイレベルにして、MOSトランジスタT4をONにする。その後、パルス信号 ϕ VRSをMOSトランジスタT9のゲートに与えて、MOSトランジスタT9を介してキャパシタC及び接続ノードaの電位が初期化される。そして、信号 ϕ VRSを元のローレベルに戻して、次の撮像が行える状態とする。

【 0 0 4 8 】

＜第3の実施形態＞

第3の実施形態について、図面を参照して説明する。図8は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。尚、図6に示す画素と同様の目的で使用される素子及び信号線などは、同一の符号を付して、

その詳細な説明は省略する。

【 0 0 4 9 】

図 8 に示すように、本実施形態では、MOS トランジスタ T 2 のドレインに信号 ϕD を与えることによってキャパシタ C 及び接続ノード a の電位を初期化するようにし、それによって MOS トランジスタ T 9 を削除した構成となっている。その他の構成は第 2 の実施形態（図 6）と同一である。尚、信号 ϕD のハイレベル期間では、第 1 の実施形態（図 2）と同様にキャパシタ C で積分が行なわれ、ローレベル期間では、キャパシタ C の電荷が MOS トランジスタ T 2 を通して放電され、キャパシタ C の電圧及び MOS トランジスタ T 8 のゲートは略信号 ϕD のローレベル電圧になる（リセット）。本実施形態では、MOS トランジスタ T 9 を省略できる分、構成がシンプルになる。

【 0 0 5 0 】

この実施形態において、撮像動作をさせるときは、第 2 の実施形態と同様に、MOS トランジスタ T 3, T 5 を OFF にして定電流源 9 から MOS トランジスタ T 1 に電流が流れないようにするとともに、MOS トランジスタ T 4 を ON にして MOS トランジスタ T 1 がサブスレッシュOLD 状態で動作するようにする。又、信号 ϕD をハイレベルにして、光電流の積分値を自然対数的に変換した値と同等の電荷をキャパシタ C に蓄積する。そして、所定のタイミングで MOS トランジスタ T 7 を ON にして、MOS トランジスタ T 8 のゲートにかかる電圧に比例した電流を MOS トランジスタ T 8, T 7 を通して出力信号線 6 に導出する。

【 0 0 5 1 】

又、各画素をリセットするときは、第 1 の実施形態と同様、図 3 のタイミングで信号を制御する。即ち、まず、パルス信号 ϕV が与えられた後、信号 ϕSW , $\phi SW 2$ をハイレベルにするとともに信号 $\phi SW 1$ をローレベルにして、リセット動作が始まる。このように MOS トランジスタ T 3, T 5 を ON にすることによって、定電流源 9 を流れる定電流が MOS トランジスタ T 1 に流れるようにして MOS トランジスタ T 1 のゲート電圧を一定の初期値にリセットする。

【 0 0 5 2 】

この間に、信号 ϕD をローレベルにしてキャパシタ C に蓄積された電荷を MO

SトランジスタT2を通して信号 ϕ Dの信号線路に放出して、キャパシタC及び接続ノードaの電位を初期化した後、信号 ϕ Dをハイレベルに戻す。しかる後、パルス信号 ϕ VをMOSトランジスタT7のゲートに与えて、MOSトランジスタT1がリセットされたときの信号を出力信号線6に出力する。そして、信号 ϕ SW, ϕ SW2をローレベルにするとともに信号 ϕ SW1をハイレベルにした後、信号 ϕ Dをローレベルにして、キャパシタCに蓄積された電荷をMOSトランジスタT2を通して信号 ϕ Dの信号線路に放出して、キャパシタC及び接続ノードaの電位が初期化される。そして、 ϕ Dを元のハイレベルに戻して、次の撮像が行える状態とする。

【0053】

<第4の実施形態>

第4の実施形態について、図面を参照して説明する。図9は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。尚、図8に示す画素と同様の目的で使用される素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

【0054】

図9に示すように、本実施形態では、MOSトランジスタT2のドレインに直流電圧VPDが印加されるとともに、キャパシタC及びMOSトランジスタT8を削除した構成となっている。即ち、MOSトランジスタT2のソースにMOSトランジスタT7のドレインが接続される。その他の構成は第3の実施形態（図8）と同一である。

【0055】

この実施形態において、撮像動作をさせるときは、第3の実施形態と同様に、MOSトランジスタT3, T5をOFFにして定電流源9を流れる電流がMOSトランジスタT1に流れないようにするとともに、MOSトランジスタT4をONにしてMOSトランジスタT1がサブスレッシュOLD状態で動作するようにする。このようにMOSトランジスタT1を動作させることによって、前記光電流に対して自然対数的に比例した値のドレイン電流がMOSトランジスタT2を流れる。

【 0 0 5 6 】

そして、MOSトランジスタT7のゲートにパルス信号 ϕV を与えてONとすると、前記光電流に対して自然対数的に比例した値のドレイン電流が、MOSトランジスタT7を通して出力信号線6に導出される。このとき、MOSトランジスタT2及びMOSトランジスタQ1（図4）の導通時抵抗とそれらを流れる電流によって決まるMOSトランジスタQ1のドレイン電圧が、信号として出力信号線6に現れる。このようにして信号が読み出された後、MOSトランジスタT7をOFFにする。

【 0 0 5 7 】

又、各画素をリセットする際には、図1.0のタイミングチャートのように動作させる。まず、パルス信号 ϕV が与えられた後、信号 ϕSW 、 $\phi SW2$ をハイレベルにするとともに信号 $\phi SW1$ をローレベルにして、リセット動作が始まる。このようにMOSトランジスタT3、T5をONにすることによって、定電流源9を流れる電流がMOSトランジスタT1に流れるようにしてMOSトランジスタ直電圧T1のゲート電圧を一定の初期値にリセットする。しかる後、パルス信号 ϕV をMOSトランジスタT7のゲートに与えて、MOSトランジスタT1がリセットされたときの信号を出力信号線6に出力する。そして、信号 ϕSW 、 $\phi SW2$ をローレベルにして、MOSトランジスタT3、T5をOFFにするとともに信号 $\phi SW1$ をハイレベルにして、MOSトランジスタT4をONにすることで、次の撮像が行える状態とする。

【 0 0 5 8 】

尚、本実施形態では上記第3の実施形態のように、光信号をキャパシタCで一旦積分するというを行わないので、積分時間が不要となり、又、キャパシタCのリセットも不要であるので、その分信号処理の高速化が図れる。又、本実施形態では、第3の実施形態に比し、キャパシタC及びMOSトランジスタT8を省略できる分、構成が更にシンプルになり画素サイズを小さくすることができる。

【 0 0 5 9 】

<第5の実施形態>

第5の実施形態について、図面を参照して説明する。図11は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。尚、図9に示す画素と同様の目的で使用される素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

【0060】

図11に示すように、本実施形態では、第4の実施形態（図9）に示す画素に、フォトダイオードPDのアノードとMOSトランジスタT1のドレインとの間に接続されたMOSトランジスタT6を付加した構成となる。即ち、MOSトランジスタT6は、そのドレインがフォトダイオードPDのアノードに接続され、そのソースがMOSトランジスタT1のドレイン及びゲートとMOSトランジスタT3のソースとの接続ノードに接続される。また、MOSトランジスタT6のゲートには信号 ϕS が与えられる。以下に、このような構成の画素の動作について説明する。

【0061】

(1) 各画素への入射光を電気信号に変換する動作について

まず、第4の実施形態と同様に、信号 ϕSW 、 $\phi SW2$ をローレベルとするとともに信号 $\phi SW1$ をハイレベルとする。このとき、信号 ϕS をハイレベルとしてMOSトランジスタT6をONにして、フォトダイオードPDより光電流がMOSトランジスタT1に与えられるようにする。又、MOSトランジスタT3、T5がOFFであるので、第4の実施形態と同様、定電流源9を流れる電流がMOSトランジスタT1を流れることがない。このようにして、MOSトランジスタT1がサブスレッショルド状態で動作するようにし、前記光電流に対して自然対数的に比例した値のドレイン電流がMOSトランジスタT2を流れる。

【0062】

そして、MOSトランジスタT7のゲートにパルス信号 ϕV を与えてONとすると、前記光電流に対して自然対数的に比例した値のドレイン電流が、MOSトランジスタT7を通して出力信号線6に導出される。このとき、MOSトランジスタT2及びMOSトランジスタQ1（図4）の導通時抵抗とそれらを流れる電流によって決まるMOSトランジスタQ1のドレイン電圧が、信号として出力信

号線 6 に現れる。このようにして信号が読み出された後、MOS トランジスタ T 7 を OFF にする。

【 0 0 6 3 】

(2) 各画素のリセット動作について

以下に、図面を参照して、図 1 1 のような回路構成の画素のリセット動作について説明する。図 1 2 は、リセット動作を行うときの画素内の各素子に接続された各信号線に与える信号のタイミングチャートである。

【 0 0 6 4 】

(1) で説明したように、パルス信号 ϕV が MOS トランジスタ T 7 のゲートに与えられて出力信号が出力されると、信号 ϕSW , $SW 2$ をハイレベルにして MOS トランジスタ T 3 , T 5 を ON にするとともに信号 $\phi SW 1$, ϕS をローレベルにして MOS トランジスタ T 4 , T 6 を OFF にする。このようにして、定電流源 9 を流れる電流が MOS トランジスタ T 1 に流れるようにするとともに、フォトダイオード PD から MOS トランジスタ T 1 に光電流が流れないようにする。よって、MOS トランジスタ T 1 のソース・ゲート間電圧が MOS トランジスタ T 1 のドレイン電流によって決定するため、MOS トランジスタ T 1 のゲート電圧が初期値にリセットされる。

【 0 0 6 5 】

このように、MOS トランジスタ T 1 のゲート電圧が初期値にリセットされると、パルス信号 ϕV を MOS トランジスタ T 7 のゲートに与えて、MOS トランジスタ T 1 がリセットされたときの信号を出力信号線 6 に出力する。そして、信号 ϕSW , $\phi SW 2$ をローレベルにして MOS トランジスタ T 3 , T 5 を OFF にする。又、このとき、信号 $\phi SW 1$, ϕS をハイレベルにして MOS トランジスタ T 4 , T 6 を ON にして、次の撮像が行える状態とする。

【 0 0 6 6 】

このように、リセット動作を行う際、フォトダイオード PD より光電流が第 1 MOS トランジスタ T 1 に流れることがないので、MOS トランジスタ T 1 に流れるドレイン電流が定電流源 9 を流れる定電流となる。又、MOS トランジスタ T 6 を設けこれを OFF しておくことによって、リセット時に MOS トランジス

タT1を流れるドレイン電流が、フォトダイオードPDからの光電流の影響を受けることがない。従って、第4の実施形態よりも定電流源9を流れる定電流の電流値を小さくすることができる。

【0067】

尚、本実施形態において、第2の実施形態（図5）のように、MOSトランジスタT2のソースに他端に直流電圧VPSが印加されたキャパシタCやMOSトランジスタT8のゲートを接続し、そして、キャパシタCをリセットするためのMOSトランジスタT9のドレインを接続するとともに、MOSトランジスタT8のソースをMOSトランジスタT7のドレインに接続するような構成にしても良い。又、第3の実施形態（図8）のように、MOSトランジスタT2のドレインに信号φDを与えるようにして、上述した第2の実施形態（図5）のような構成からMOSトランジスタT9を削除した構成にしても良い。

【0068】

又、本実施形態において、MOSトランジスタT6をディプレッション型のNチャネルのMOSトランジスタとしても構わない。この画素の構成を、図13に示す。図13に示すように、MOSトランジスタT6以外のMOSトランジスタT1～T5、T7は、エンハンスメント型のNチャネルのMOSトランジスタである。

【0069】

図11の構成の画素のように、画素内に設けられたMOSトランジスタを全てエンハンスメント型のMOSトランジスタで構成したとき、MOSトランジスタT6、T1が直列に接続されるため、MOSトランジスタT6のゲートに与える信号φSのハイレベルの電圧を、この画素に供給する電圧よりも高くする場合がある。そのためには、MOSトランジスタT6に信号φSを与えるための別の電源を設ける必要がある。

【0070】

それに対して、上述したように、このMOSトランジスタT6をディプレッション型のMOSトランジスタとすることによって、そのゲートに与える信号φSのハイレベルの電圧を低くすることができ、他のMOSトランジスタに与えるハ

イレベルの信号と同じ又はこれに近い電圧にすることが可能になる。これは、ディプレッション型のMOSトランジスタの閾値が負の値となるため、エンハンスメント型のMOSトランジスタと比べて、低いゲート電圧でONすることができるからである。

【0071】

又、本実施形態において、MOSトランジスタT6をPチャネルのMOSトランジスタとしても構わない。この画素の構成を、図14に示す。図14に示すように、MOSトランジスタT6以外のMOSトランジスタT1～T5，T7は、NチャネルのMOSトランジスタである。又、MOSトランジスタT6のソースがフォトダイオードPDのアノードと接続されるとともに、ドレインがMOSトランジスタT1のドレインに接続される。

【0072】

このような構成にしたとき、MOSトランジスタT6は、ゲート・ドレイン間の電圧差が閾値より大きければONとなり、又、ゲート・ドレイン間の電圧差が閾値より小さければOFFとなる。よって、MOSトランジスタT6のゲートに与える信号 ϕS が、図12の信号 ϕS とそのタイミングが逆転するとともに、MOSトランジスタT6のドレインに直列に接続されたMOSトランジスタT1の影響を受けることなく、ON/OFF動作を行うことができる。

【0073】

又、MOSトランジスタT8のON/OFF動作が、MOSトランジスタT1の影響を受けることがないので、信号 ϕS を供給するための別の電源を設ける必要が無くなる。更に、このようにすることによって、MOSトランジスタT6を、他のMOSトランジスタと同様にエンハンスメント型のMOSトランジスタとすることができるので、他のMOSトランジスタと同一の工程でMOSトランジスタT6を生成することが可能である。よって、上述したように、MOSトランジスタT6のみをディプレッション型のMOSトランジスタとするときと比べて、その生産工程が簡素化される。

【0074】

又、図15に示すように、MOSトランジスタT6を直流電圧線VPDとフォト

ダイオードPDのカソードとの間に接続するような構成にしても構わない。即ち、MOSトランジスタT6のドレインに直流電圧VPDが印加されるとともに、そのソースにフォトダイオードPDのカソードが接続される。更に、このような構成の画素において、上述したように、MOSトランジスタT6をディプレッション型のMOSトランジスタ、または、PチャネルのMOSトランジスタとしても良い。

【 0 0 7 5 】

尚、第1～第5の実施形態のように、画素毎に、各MOSトランジスタを動作させることによって、MOSトランジスタT1のゲート電圧をリセットしたときの信号を出力信号線6に出力すると、このリセット時の信号がシリアルに出力され、後続回路においてメモリに画素毎の補正データとして記憶しておく。そして、実際の撮像時の信号を前記記憶されている補正データで画素毎に補正すれば、出力信号から画素毎のバラツキを取り除くことができる。尚、この補正方法の具体例は後述する図27に示している。この補正方法はラインメモリなどのメモリを素子内に設けることによって実現できる。

【 0 0 7 6 】

又、第1～第5実施形態において、各画素からの信号読み出しは電荷結合素子(CCD)を用いて行うようにしてもかまわない。この場合、MOSトランジスタT7に相当するポテンシャルレベルを可変としたポテンシャルの障壁を設けることにより、CCDへの電荷読み出しを行えばよい。

【 0 0 7 7 】

以上説明した第1～第5の実施形態は、画素内の能動素子であるMOSトランジスタT1～T9を図14の形態を除いて全てNチャネルのMOSトランジスタで構成しているが、これらのMOSトランジスタT1～T9を全てPチャネルのMOSトランジスタで構成してもよい。図17、図20～図24及び図26には、上記第1～第5の実施形態をPチャネルのMOSトランジスタで構成した例である第6～第10の実施形態を示している。又、図25は、第10の実施形態において、MOSトランジスタT6をエンハンスメント型のNチャネルのMOSトランジスタとしたものである。そのため図16～図26では接続の極性や印加電

圧の極性が逆になっている。例えば、図17（第6の実施形態）において、フォトダイオードPDはアノードに直流電圧VPDに接続され、カソードがMOSトランジスタT1のドレイン及びMOSトランジスタT2のゲートに接続されている。MOSトランジスタT1のソースにはMOSトランジスタT4、T5のドレインが接続され、MOSトランジスタT4のソースには直流電圧VPSが印加される。

【0078】

ところで、図17のような画素が対数変換を行うとき、直流電圧VPSと直流電圧VPDは、 $VPS > VPD$ となっており、図2（第1の実施形態）と逆である。また、キャパシタCの出力電圧は初期値が高い電圧で、積分によって降下する。また、MOSトランジスタT3、MOSトランジスタT4、MOSトランジスタT5、MOSトランジスタT7をONさせるときには、低い電圧をゲートに印加する。更に、図20以降の実施形態（第7～第10の実施形態）において、MOSトランジスタT9、MOSトランジスタT6をONさせるときには、低い電圧をゲートに印加する。又、図25に示す構成の画素において、NチャネルのMOSトランジスタとなるMOSトランジスタT6をONさせるときには、高い電圧をゲートに印加する。以上の通り、逆極性のMOSトランジスタを用いる場合は、電圧関係や接続関係が一部異なるが、構成は実質的に同一であり、また基本的な動作も同一であるので、図17、図20～図26については図面で示すのみで、その構成や動作についての説明は省略する。

【0079】

第6の実施形態の画素を含む固体撮像装置の全体構成を説明するためのブロック回路構成図を図16に、第7～第10の実施形態の画素を含む固体撮像装置の全体構成を説明するためのブロック回路構成図を図18に示す。図16及び図18については、図1及び図4と同一部分（同一の役割部分）に同一の符号を付して説明を省略する。以下、図18の構成について簡単に説明する。列方向に配列された出力信号線6-1、6-2、・・・、6-mに対してPチャネルのMOSトランジスタQ1とPチャネルのMOSトランジスタQ2が接続されている。MOSトランジスタQ1のゲートは直流電圧線11に接続され、ドレインは出力信

号線 6 - 1 に接続され、ソースは直流電圧 V_{PS}' のライン 1 2 に接続されている。

【 0 0 8 0 】

一方、MOS トランジスタ Q_2 のドレインは出力信号線 6 - 1 に接続され、ソースは最終的な信号線 1 0 に接続され、ゲートは水平走査回路 3 に接続されている。ここで、MOS トランジスタ Q_1 は画素内の P チャネルの MOS トランジスタ T_a と共に図 1 9 (a) に示すような増幅回路を構成している。尚、MOS トランジスタ T_a は、第 7、第 8 の実施形態では MOS トランジスタ T_8 に相当し、又、第 9、第 1 0 の実施形態では MOS トランジスタ T_2 に相当する。

【 0 0 8 1 】

この場合、MOS トランジスタ Q_1 は MOS トランジスタ T_a の負荷抵抗又は定電流源となっている。従って、この MOS トランジスタ Q_1 のソースに接続される直流電圧 V_{PS}' と、MOS トランジスタ T_a のドレインに接続される直流電圧 V_{PD}' との関係は、 $V_{PD}' < V_{PS}'$ であり、直流電圧 V_{PD}' は例えばグランド電圧（接地）である。MOS トランジスタ Q_1 のドレインは MOS トランジスタ T_a に接続され、ゲートには直流電圧が印加されている。P チャネルの MOS トランジスタ Q_2 は水平走査回路 3 によって制御され、増幅回路の出力を最終的な信号線 1 0 へ導出する。第 7 ~ 第 1 0 の実施形態のように、画素内に設けられた MOS トランジスタ T_7 を考慮すると、図 1 9 (a) の回路は図 1 9 (b) のように表わされる。

【 0 0 8 2 】

< 画像データの補正方法 >

上述した第 1 ~ 第 1 0 の実施形態のような回路構成の画素が設けられた固体撮像装置がデジタルカメラなどの画像入力装置に使用されたときの実施例を、図面を参照して説明する。

【 0 0 8 3 】

図 2 7 に示す画像入力装置は、対物レンズ 5 1 と、該対物レンズ 5 1 を通して入射される光の光量に応じて電気信号を出力する固体撮像装置 5 2 と、撮像時の固体撮像装置 5 2 の電気信号（以下、「画像データ」と呼ぶ。）が入力されて一

時記憶されるメモリ 5 3 と、リセット時の固体撮像装置 5 2 の電気信号（以下、「補正データ」と呼ぶ。）が入力されて一時記憶されるためのメモリ 5 4 と、メモリ 5 3 から送出される画像データからメモリ 5 4 から記憶される補正データを補正演算する補正演算回路 5 5 と、補正演算回路 5 5 で補正データにより補正の施された画像データを演算処理して外部に出力する処理部 5 6 とを有する。尚、固体撮像装置 5 2 は、第 1 ～ 1 0 の実施形態（図 2、図 6、図 8、図 9、図 1 1 図 1 3 ～ 図 1 5、図 1 7、図 2 0 ～ 図 2 6）のような回路構成の画素が設けられた固体撮像装置である。

【 0 0 8 4 】

このような構成の画像入力装置は、まず、撮像動作を行って、固体撮像装置 5 2 から各画素毎に画像データがメモリ 5 3 に出力される。そして、各画素が撮像動作を終えて、リセット動作を行ったときに、上記で説明したように、各画素の感度のバラツキを調べて、補正データをメモリ 5 4 に出力する。そして、メモリ 5 3 内の各画素の画像データとメモリ 5 4 内の各画素の補正データを、補正演算回路 5 5 にこの画像データを各画素毎に送出する。

【 0 0 8 5 】

補正演算回路 5 5 では、メモリ 5 3 から送出された画像データからこの画像データを出力した同一画素のメモリ 5 4 から送出された補正データが各画素毎に補正演算される。この補正データが補正演算された画像データが処理部 5 6 に送出されて、演算処理された後、外部に出力される。又、このような画像入力装置において、メモリ 5 3、5 4 は、それぞれ、固体撮像装置 5 2 からライン毎に送出されるデータが記録されるラインメモリなどが用いられる。従って、メモリ 5 3、5 4 を固体撮像装置内に組み込むことも容易である。

【 0 0 8 6 】

【発明の効果】

以上説明したように、本発明の固体撮像装置によれば、被写体の撮像時に各画素毎の出力を補正するための補正データを獲得するために、従来のように一様光を照射する必要が無くなる。更に、能動素子を MOS トランジスタで構成することにより高集積化が容易となり、周辺の処理回路（A/D コンバータ、デジタル

・システム・プロセッサ、メモリ）等とともにワンチップ上に形成することができる。

【図面の簡単な説明】

【図 1】本発明の一実施形態である二次元固体撮像装置の全体の構成を説明するためのブロック回路図。

【図 2】本発明の第 1 の実施形態の 1 画素の構成を示す回路図。

【図 3】第 1 の実施形態で使用する画素の各素子に与える信号のタイミングチャート。

【図 4】本発明の一実施形態である二次元固体撮像装置の全体の構成を説明するためのブロック回路図。

【図 5】図 4 の一部の回路図。

【図 6】本発明の第 2 の実施形態の 1 画素の構成を示す回路図。

【図 7】第 2 の実施形態で使用する画素の各素子に与える信号のタイミングチャート。

【図 8】本発明の第 3 の実施形態の 1 画素の構成を示す回路図。

【図 9】本発明の第 4 の実施形態の 1 画素の構成を示す回路図。

【図 1 0】第 4 の実施形態で使用する画素の各素子に与える信号のタイミングチャート。

【図 1 1】本発明の第 5 の実施形態の 1 画素の構成を示す回路図。

【図 1 2】第 5 の実施形態で使用する画素の各素子に与える信号のタイミングチャート。

【図 1 3】本発明の第 5 の実施形態の 1 画素の構成を示す回路図。

【図 1 4】本発明の第 5 の実施形態の 1 画素の構成を示す回路図。

【図 1 5】本発明の第 5 の実施形態の 1 画素の構成を示す回路図。

【図 1 6】画素内の能動素子を P チャネルの MOS トランジスタで構成した実施形態の場合の本発明の二次元固体撮像装置の全体の構成を説明するためのブロック回路図。

【図 1 7】本発明の第 6 の実施形態の 1 画素の構成を示す回路図。

【図 1 8】画素内の能動素子を P チャネルの MOS トランジスタで構成した実

施形態の場合の本発明の二次元固体撮像装置の全体の構成を説明するためのブロック回路図。

【図 1 9】 図 1 8 の一部の回路図。

【図 2 0】 本発明の第 7 の実施形態の 1 画素の構成を示す回路図。

【図 2 1】 本発明の第 8 の実施形態の 1 画素の構成を示す回路図。

【図 2 2】 本発明の第 9 の実施形態の 1 画素の構成を示す回路図。

【図 2 3】 本発明の第 1 0 の実施形態の 1 画素の構成を示す回路図。

【図 2 4】 本発明の第 1 0 の実施形態の 1 画素の構成を示す回路図。

【図 2 5】 本発明の第 1 0 の実施形態の 1 画素の構成を示す回路図。

【図 2 6】 本発明の第 1 0 の実施形態の 1 画素の構成を示す回路図。

【図 2 7】 画像入力装置の構成を示すブロック図。

【図 2 8】 従来例の 1 画素の構成を示す回路図。

【符号の説明】

G11～Gmn	画素
2	垂直走査回路
3	水平走査回路
4-1～4-n	行選択線
5	電源ライン
6-1～6-m	出力信号線
7-1～7-n	ライン
8-1～8-m	電流供給線
9-1～9-m	定電流源
10	信号線
11	直流電圧線
12	ライン
51	対物レンズ
52	固体撮像装置
53, 54	メモリ
55	補正演算回路

5 6 処理部

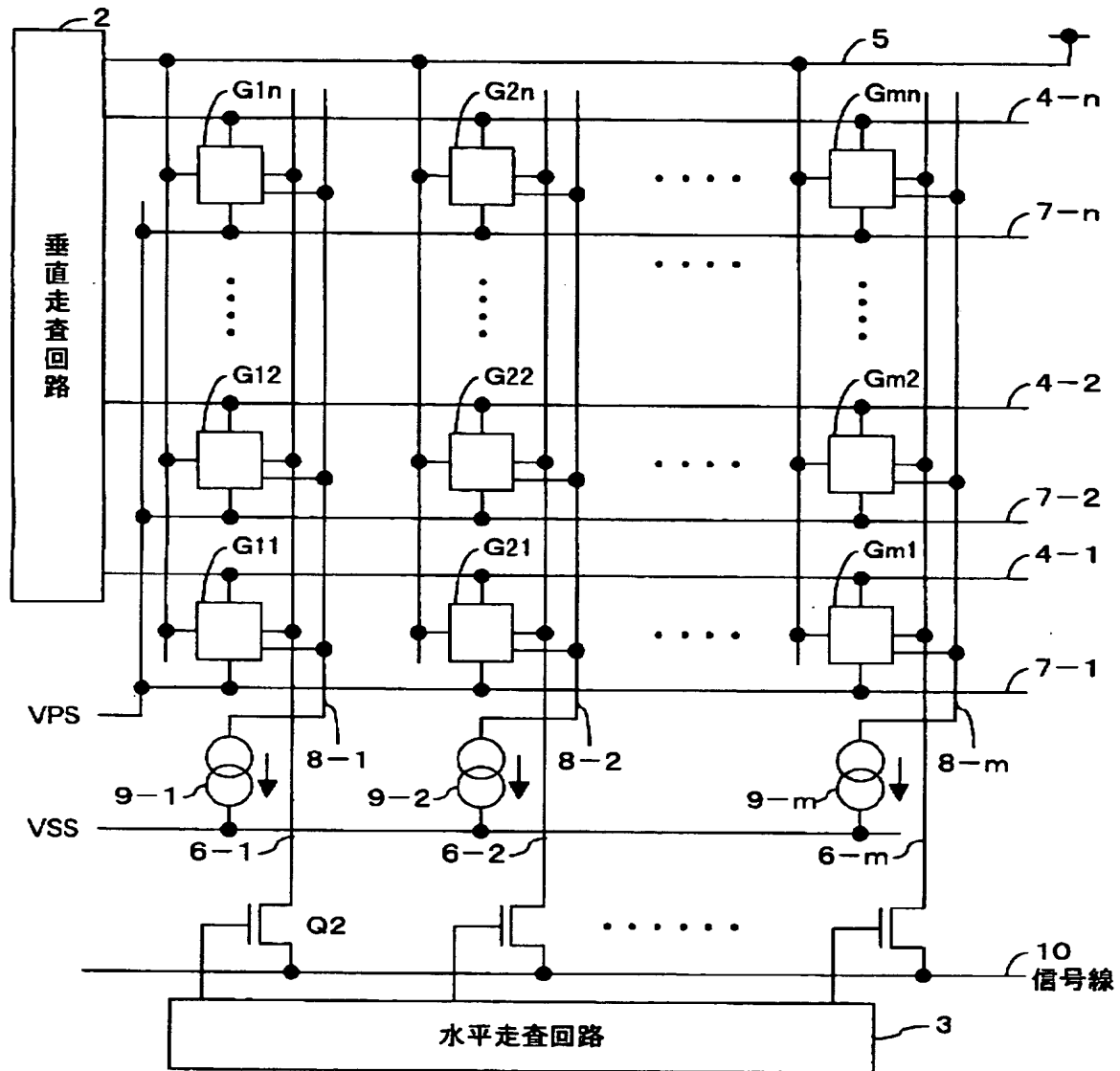
P D フォトダイオード

T 1 ~ T 9 M O S トランジスタ

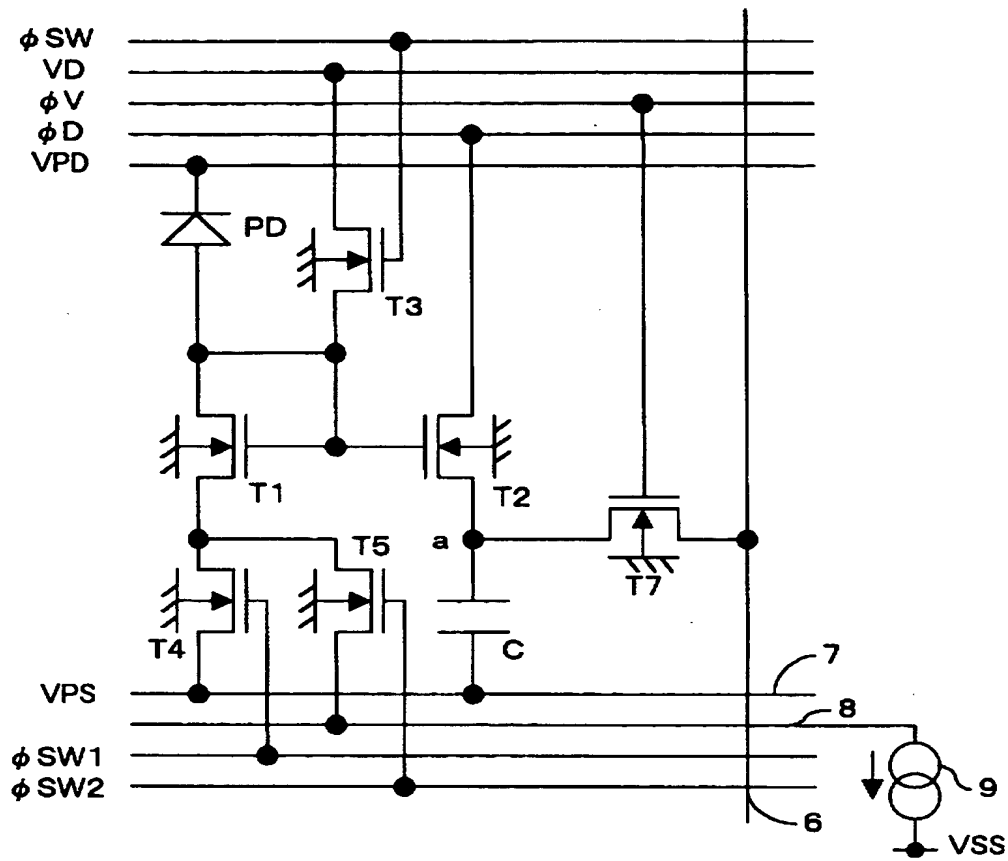
C キャパシタ

【書類名】 図面

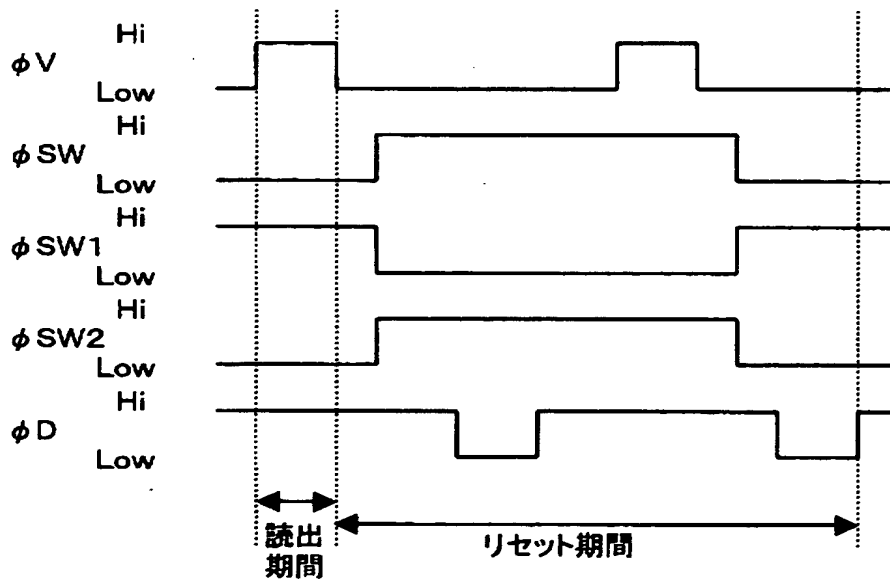
【図 1】



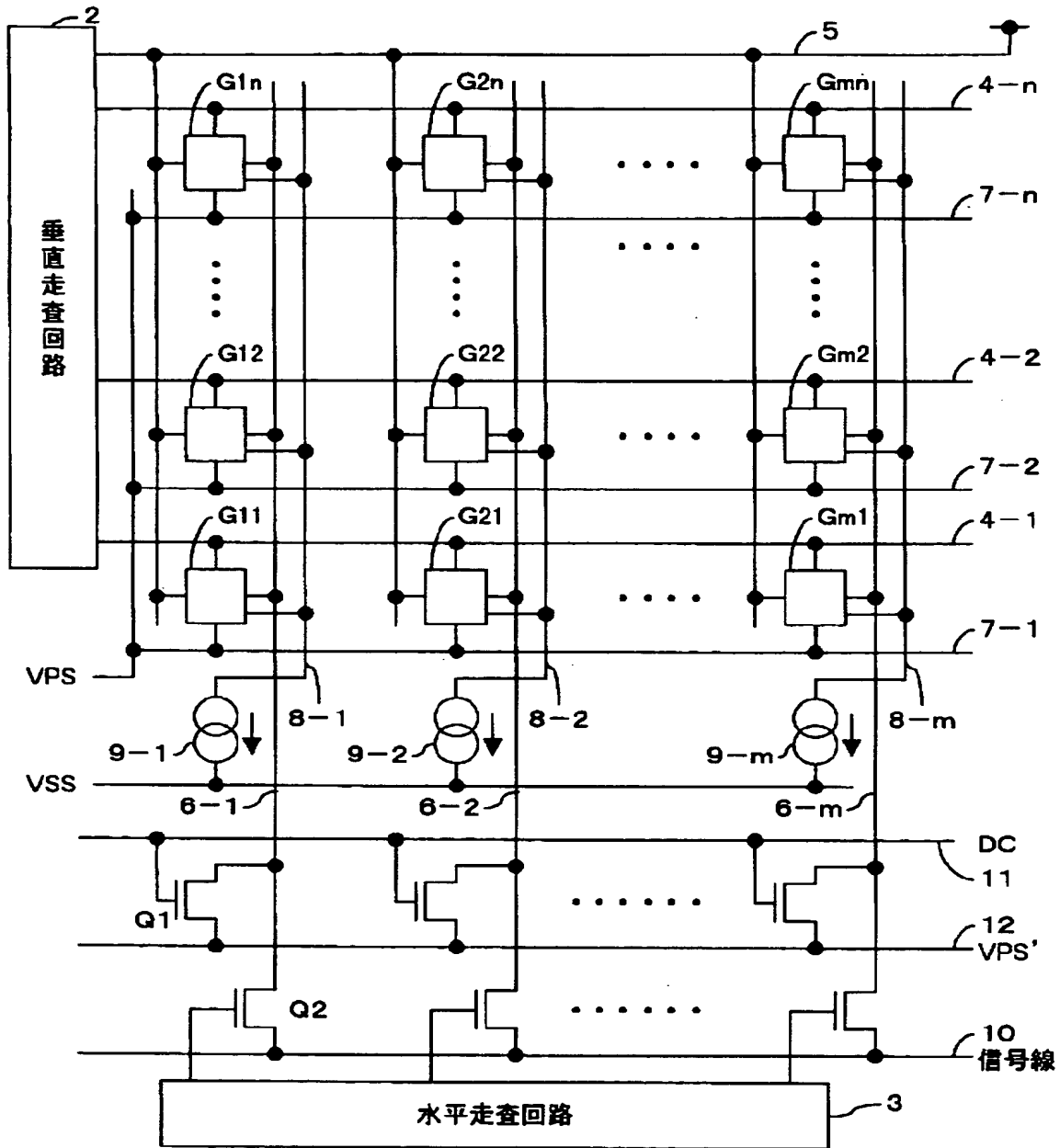
【図 2】



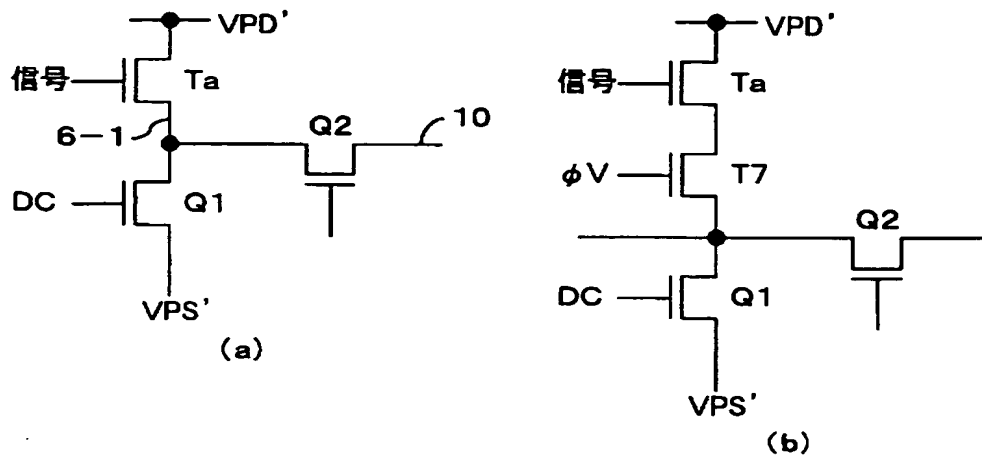
【図 3】



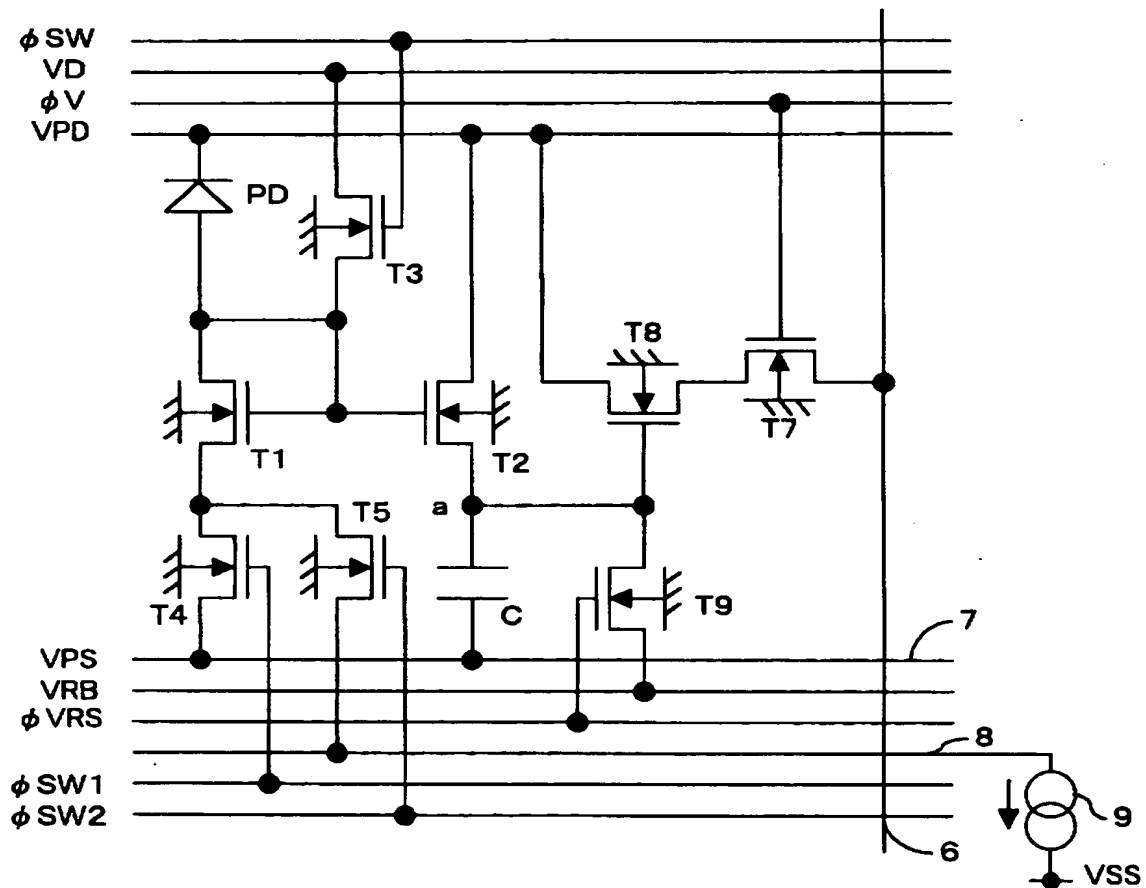
【図 4】



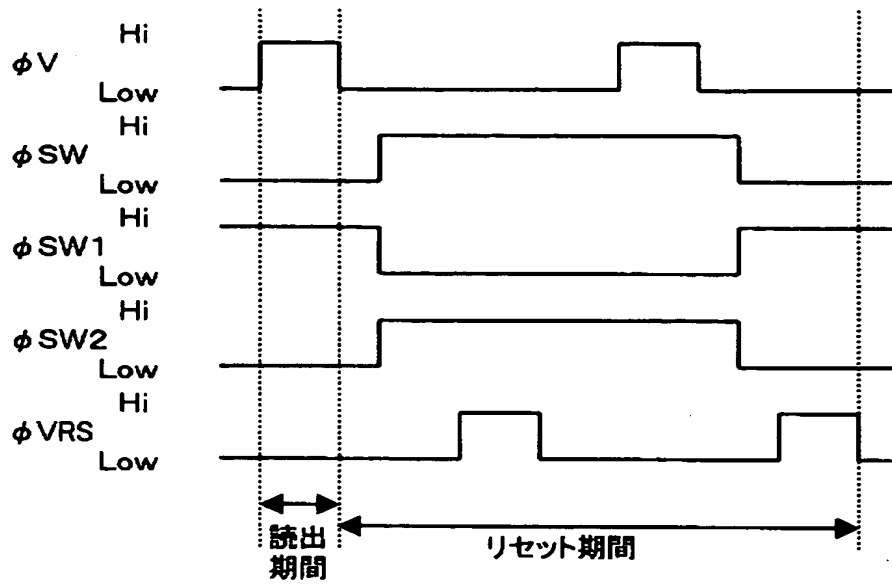
【図 5】



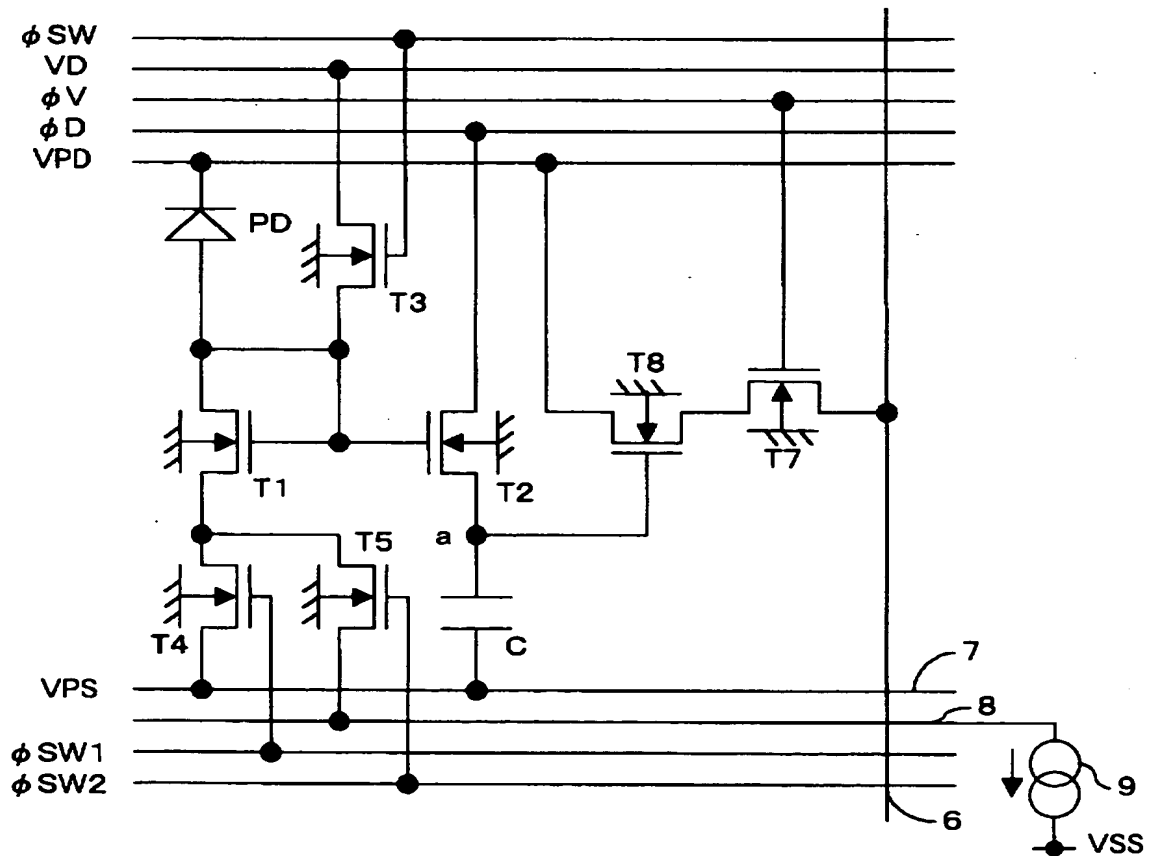
【図 6】



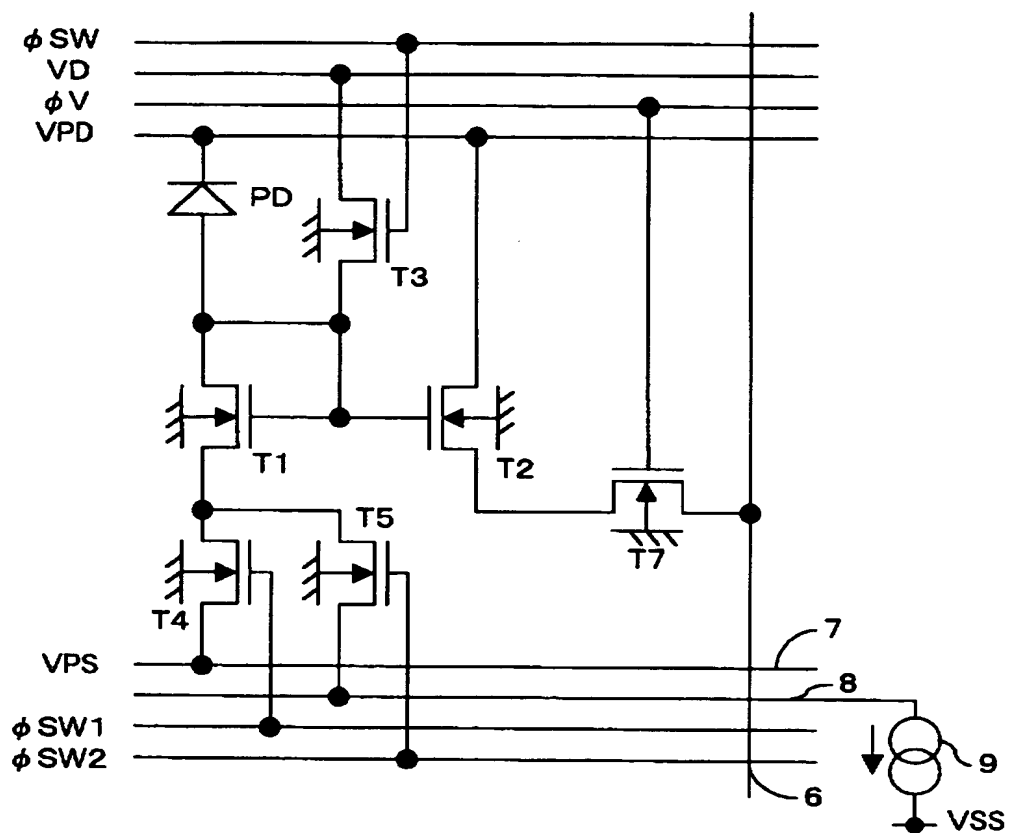
【図 7】



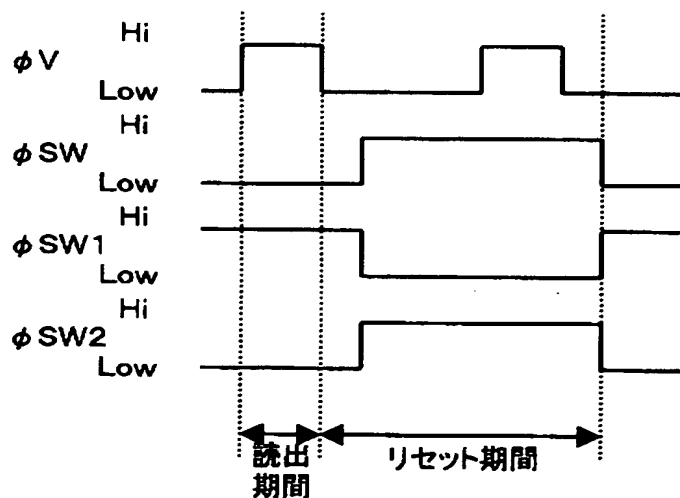
【図 8】



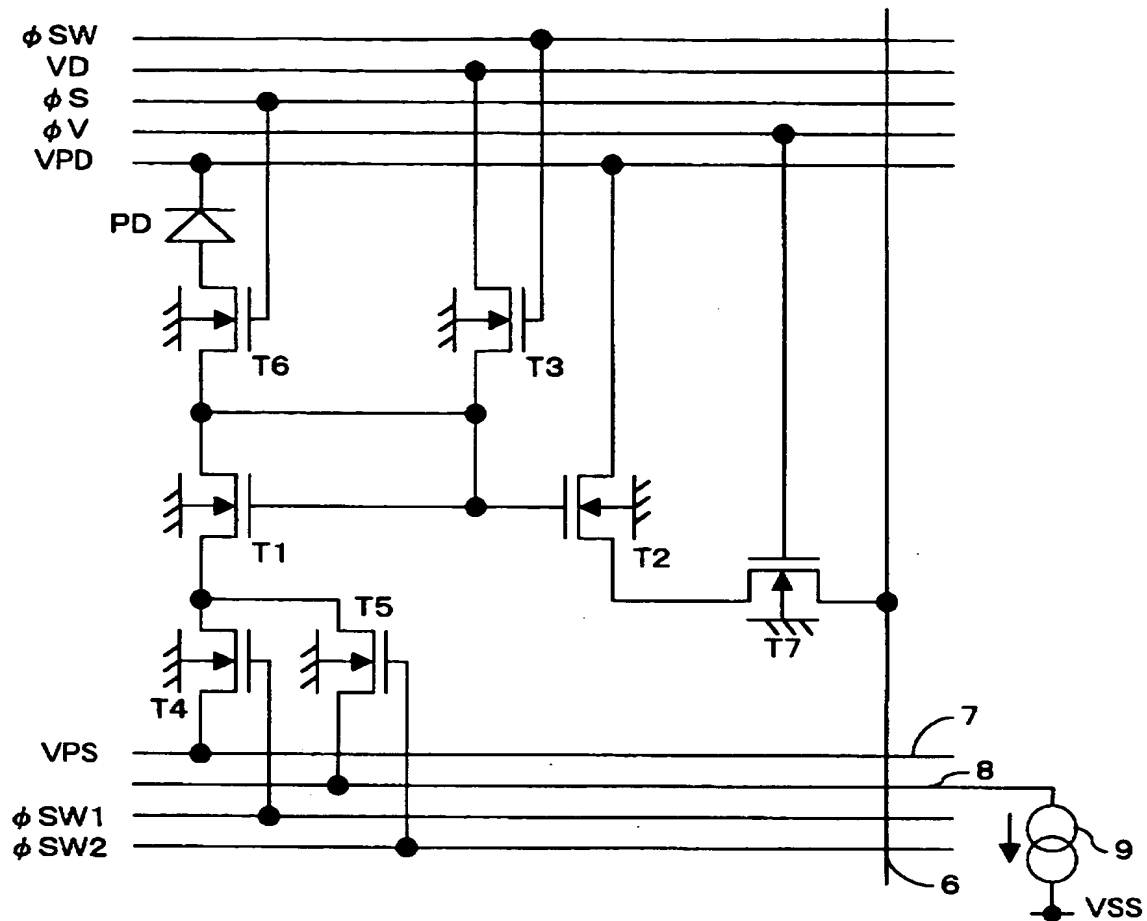
【図 9】



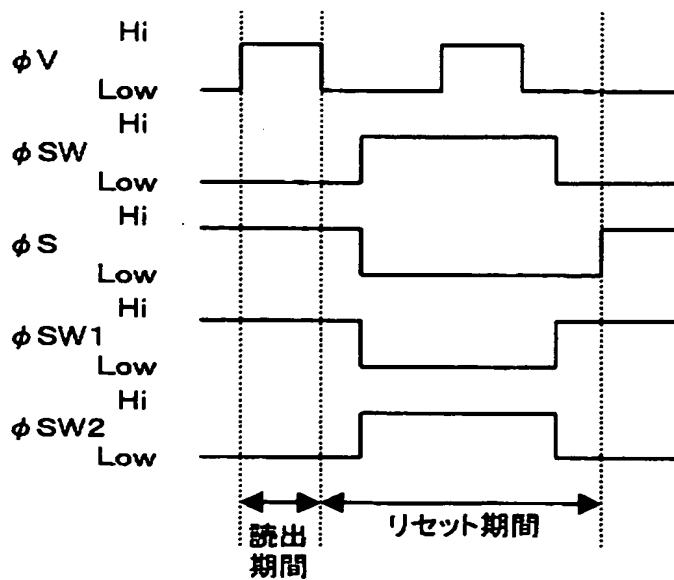
【図 10】



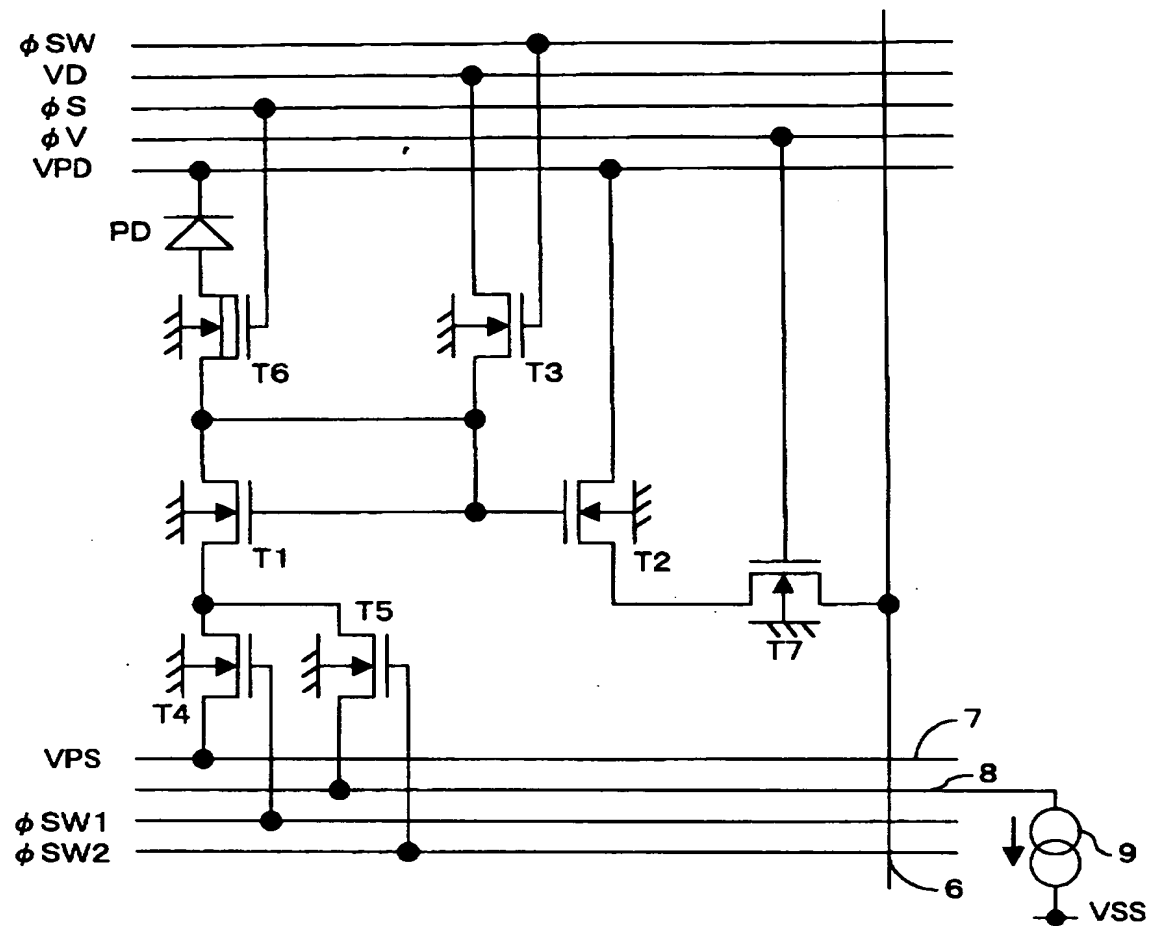
【図 1 1】



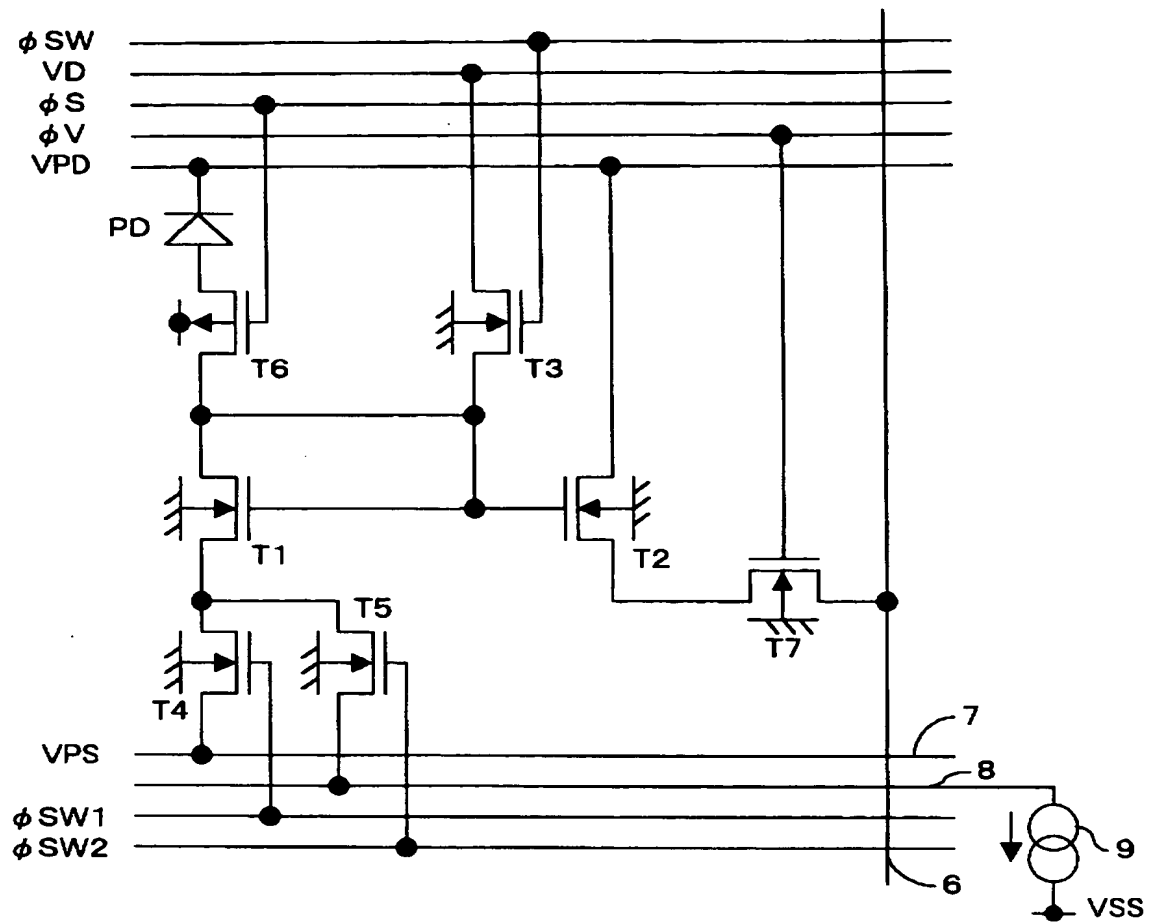
【図 1 2】



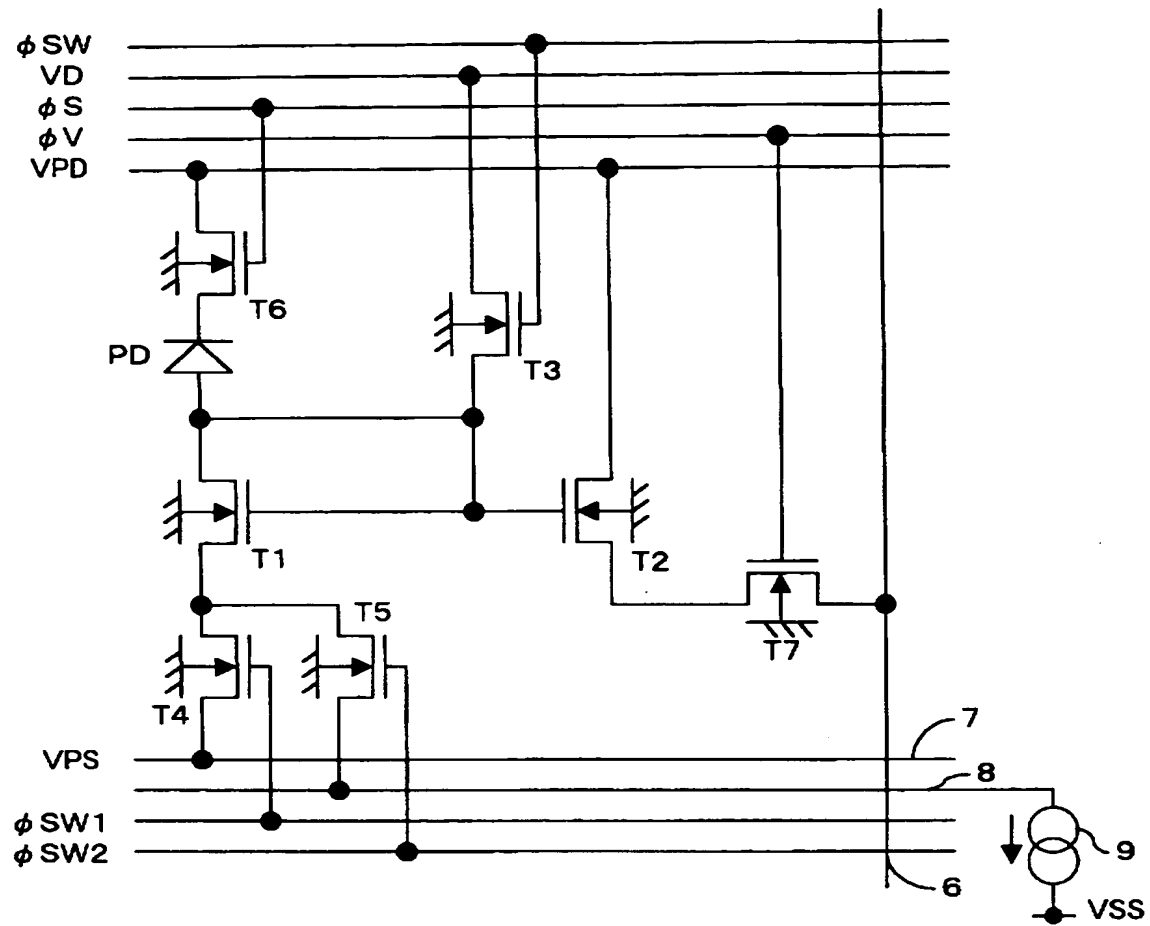
【図 13】



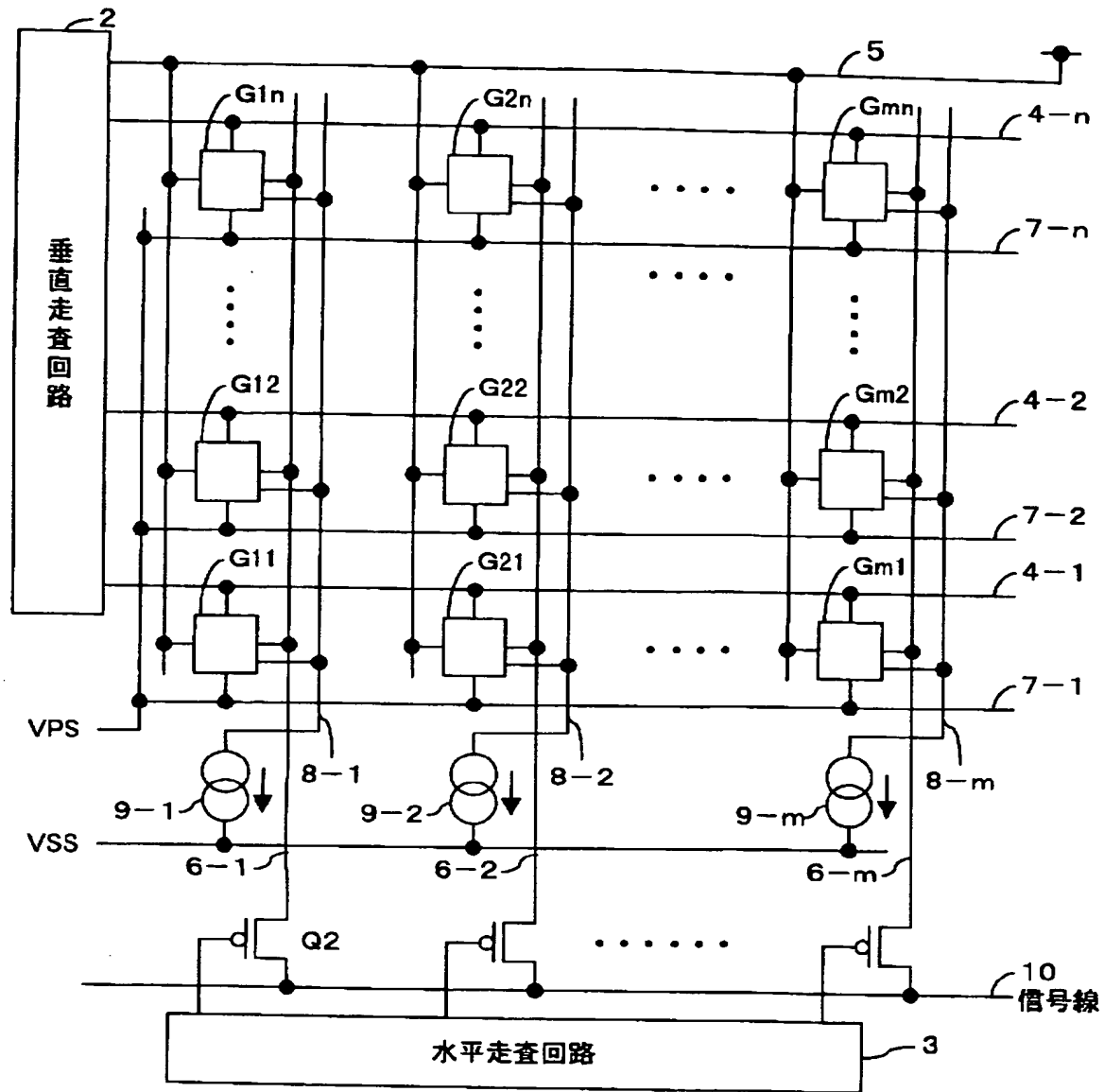
【図 14】



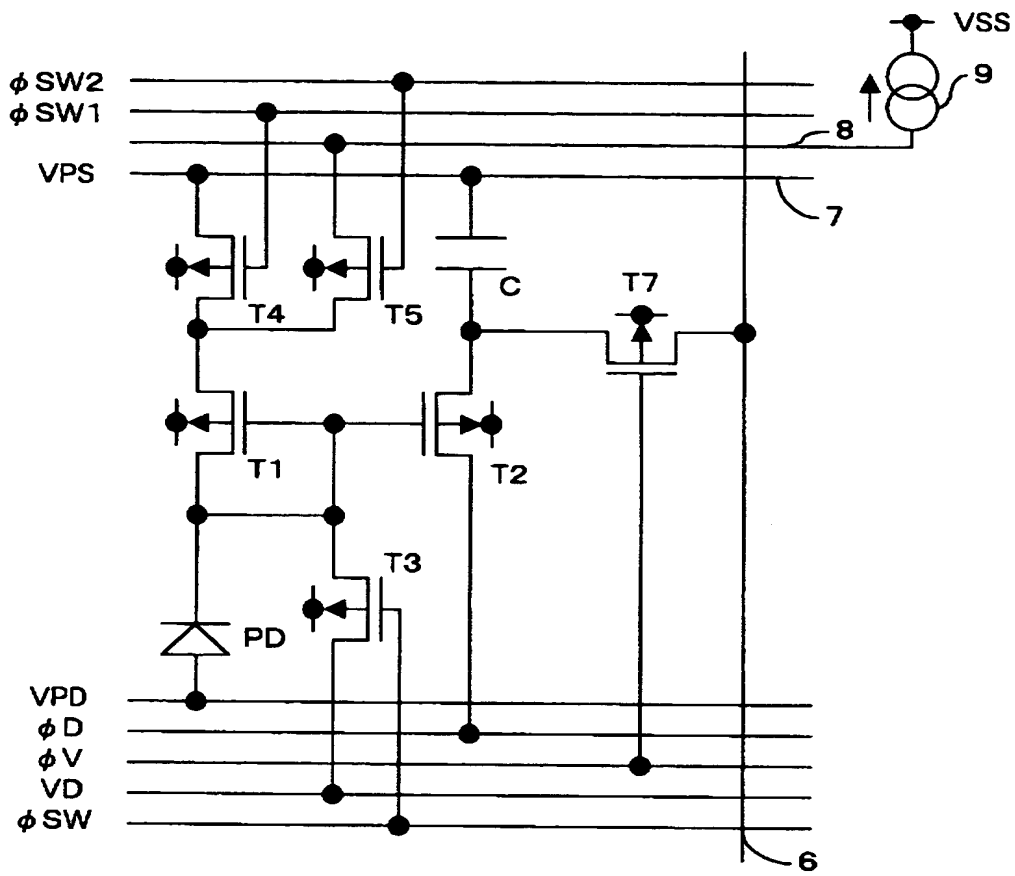
【図 15】



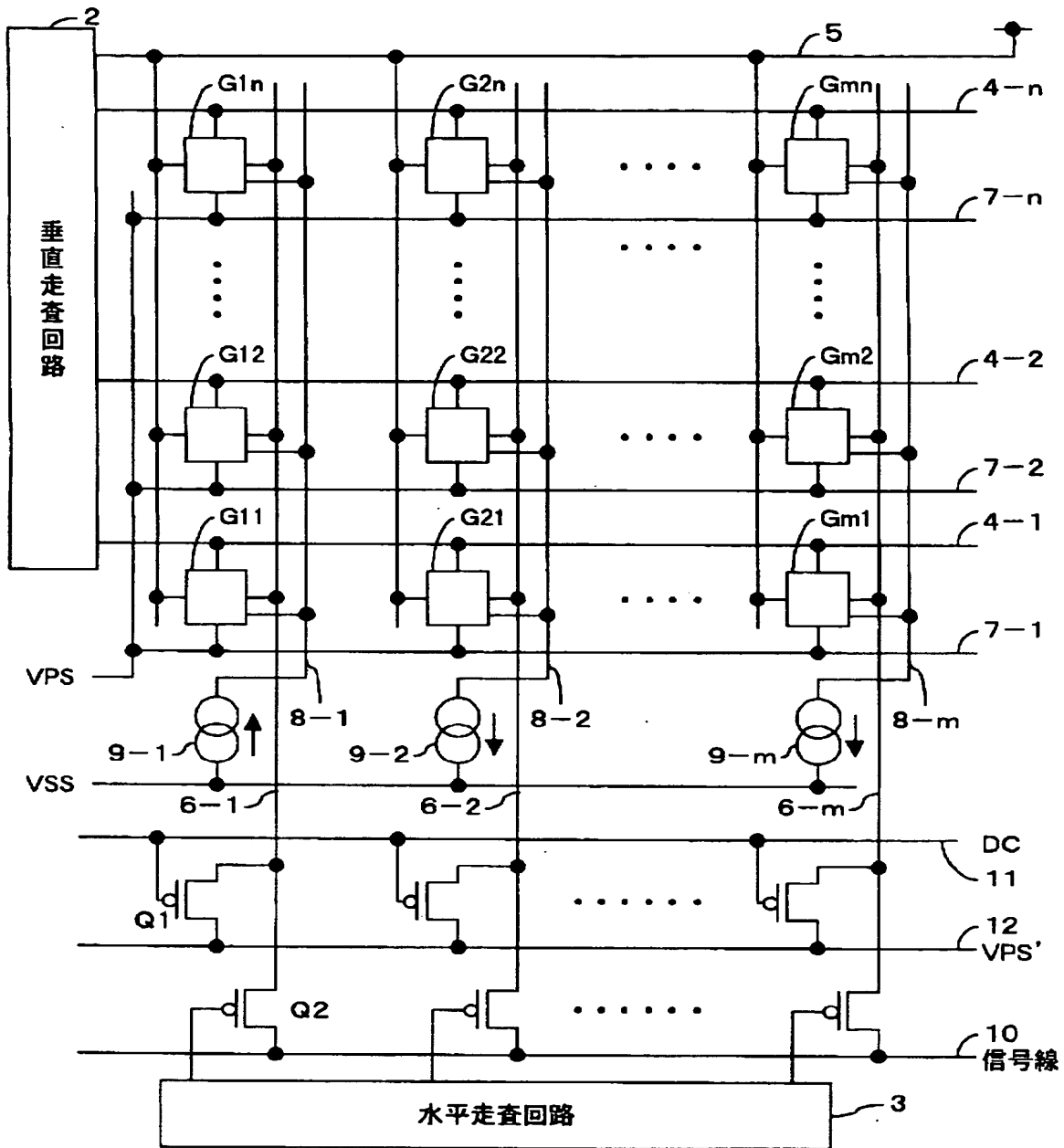
【図16】



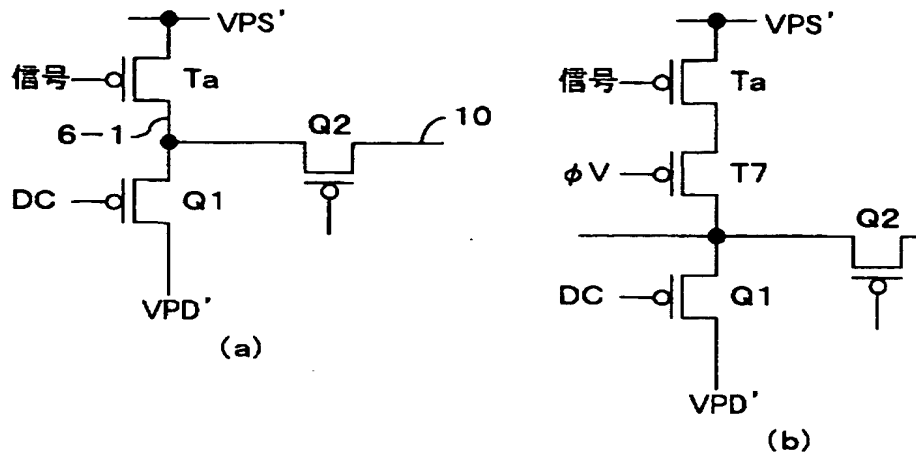
【図 17】



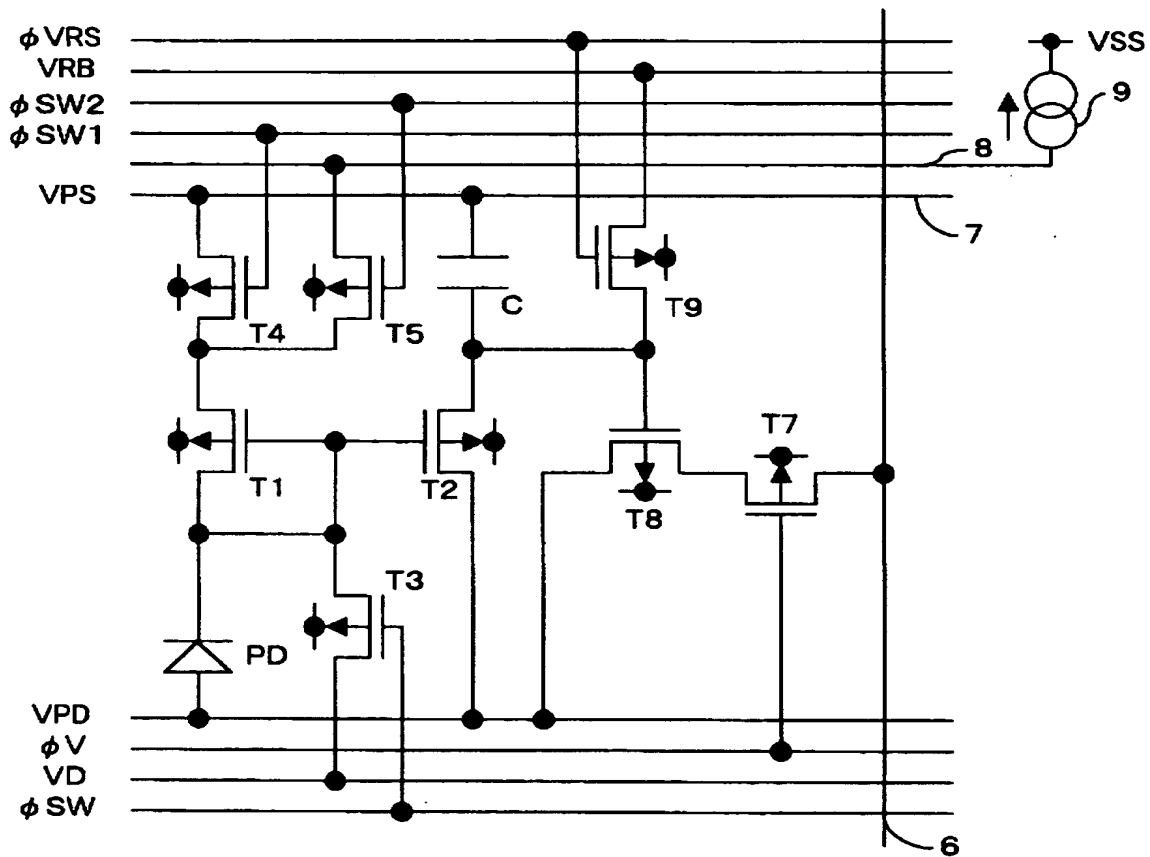
【図 18】



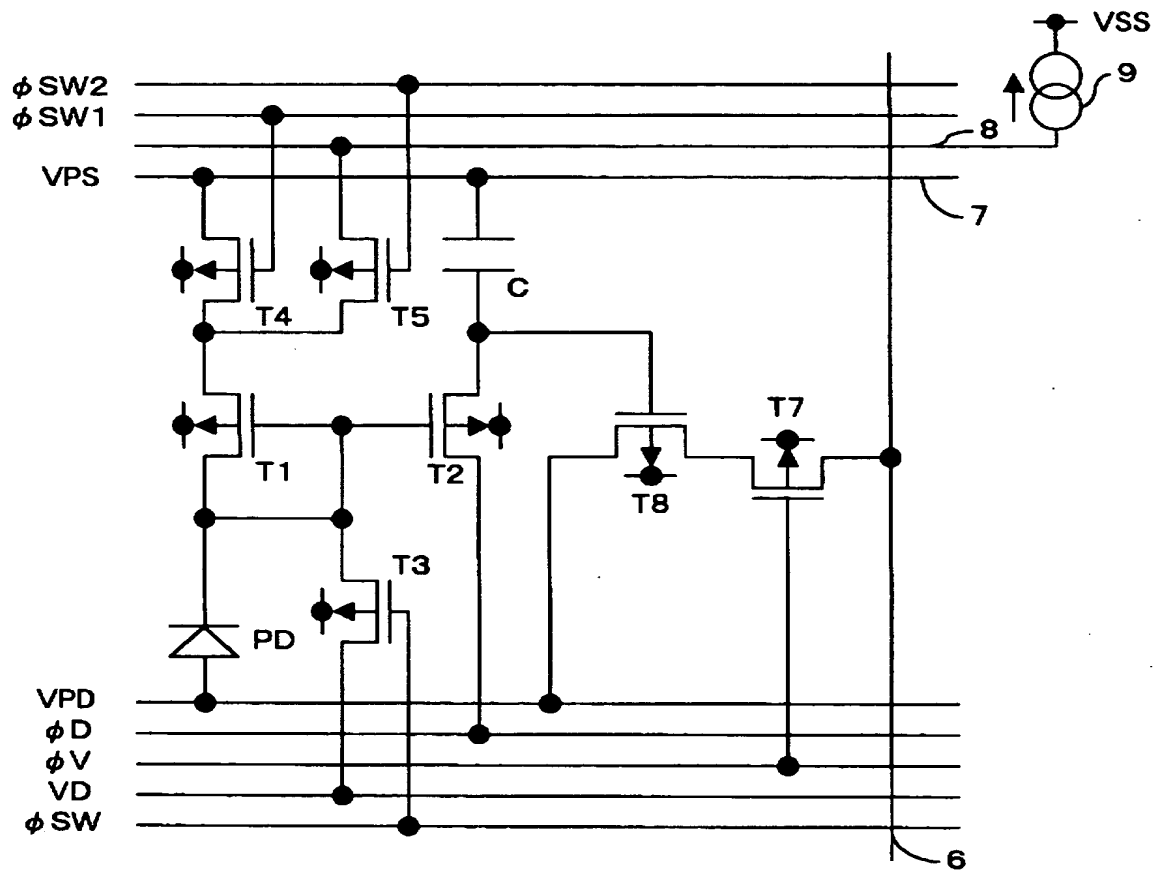
【図 1 9】



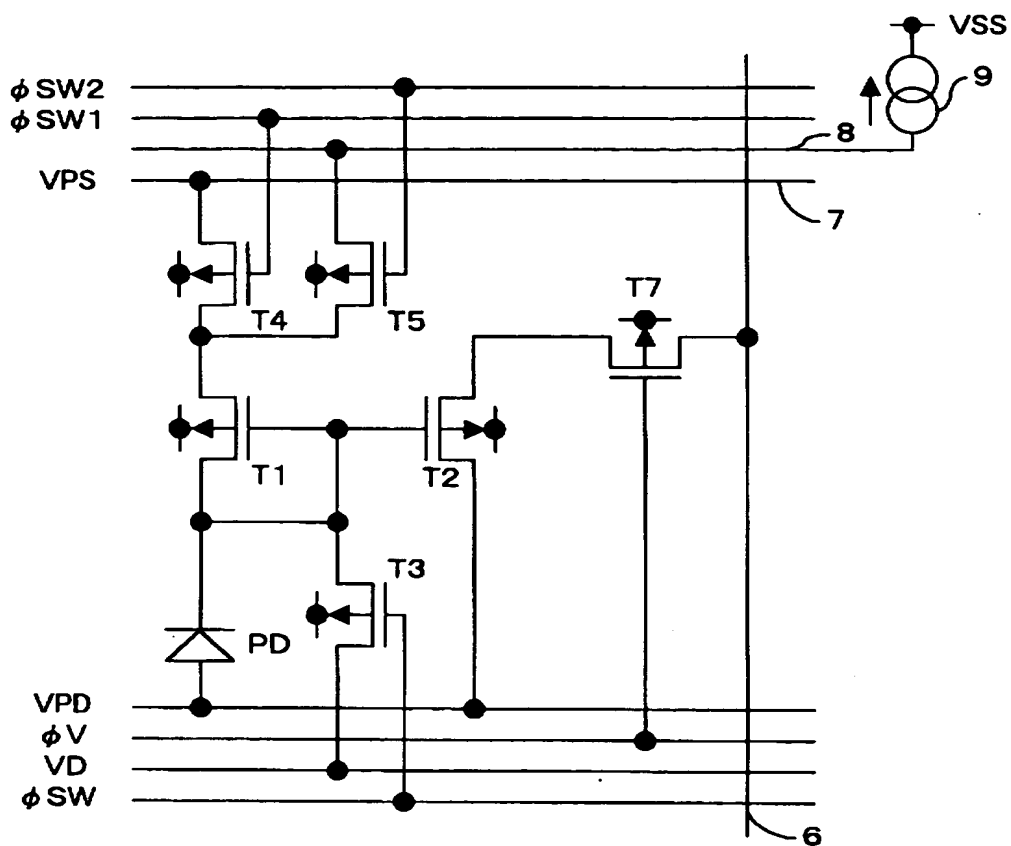
【図 2 0】



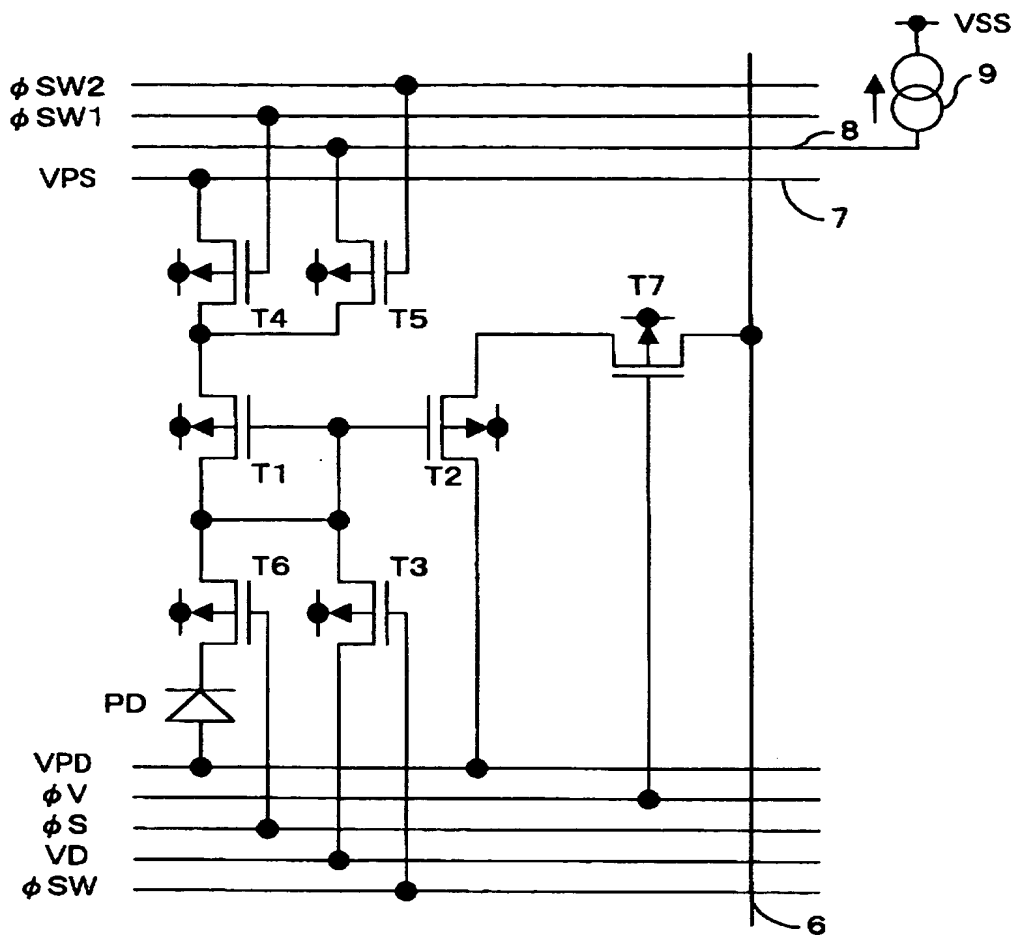
【図 2 1】



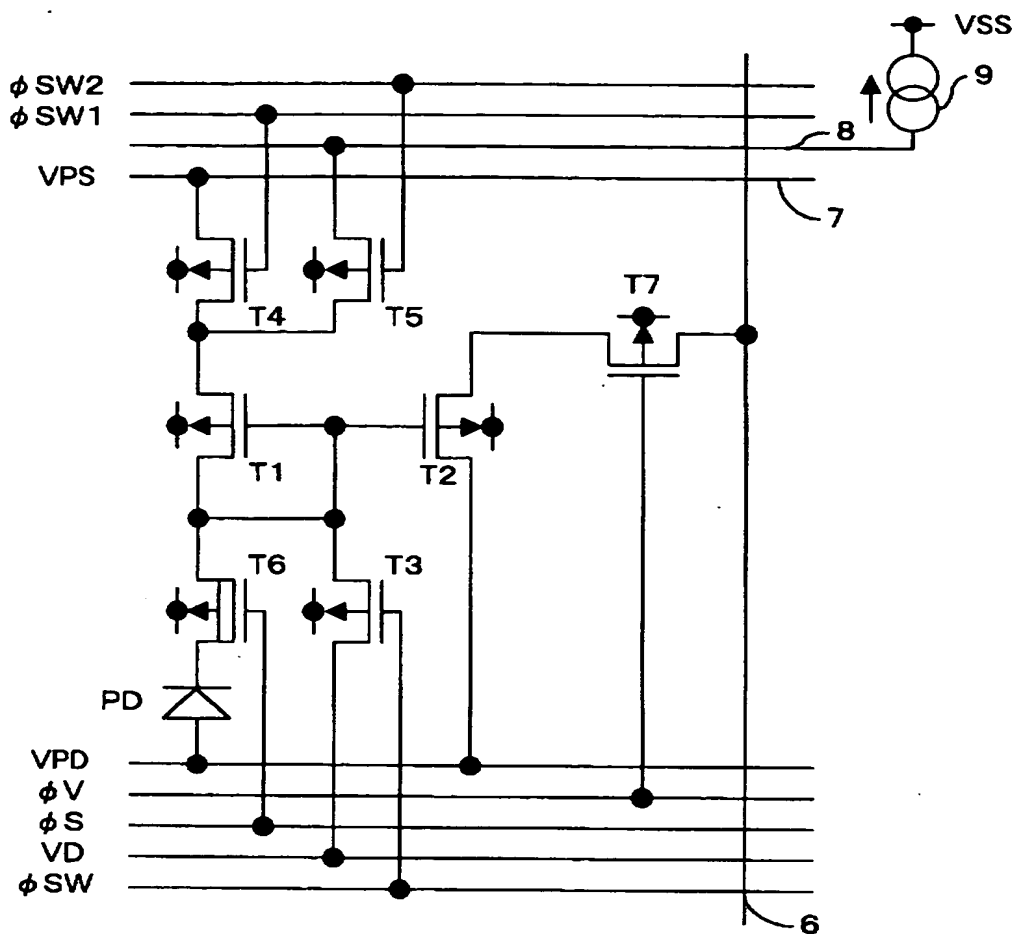
【図 2 2】



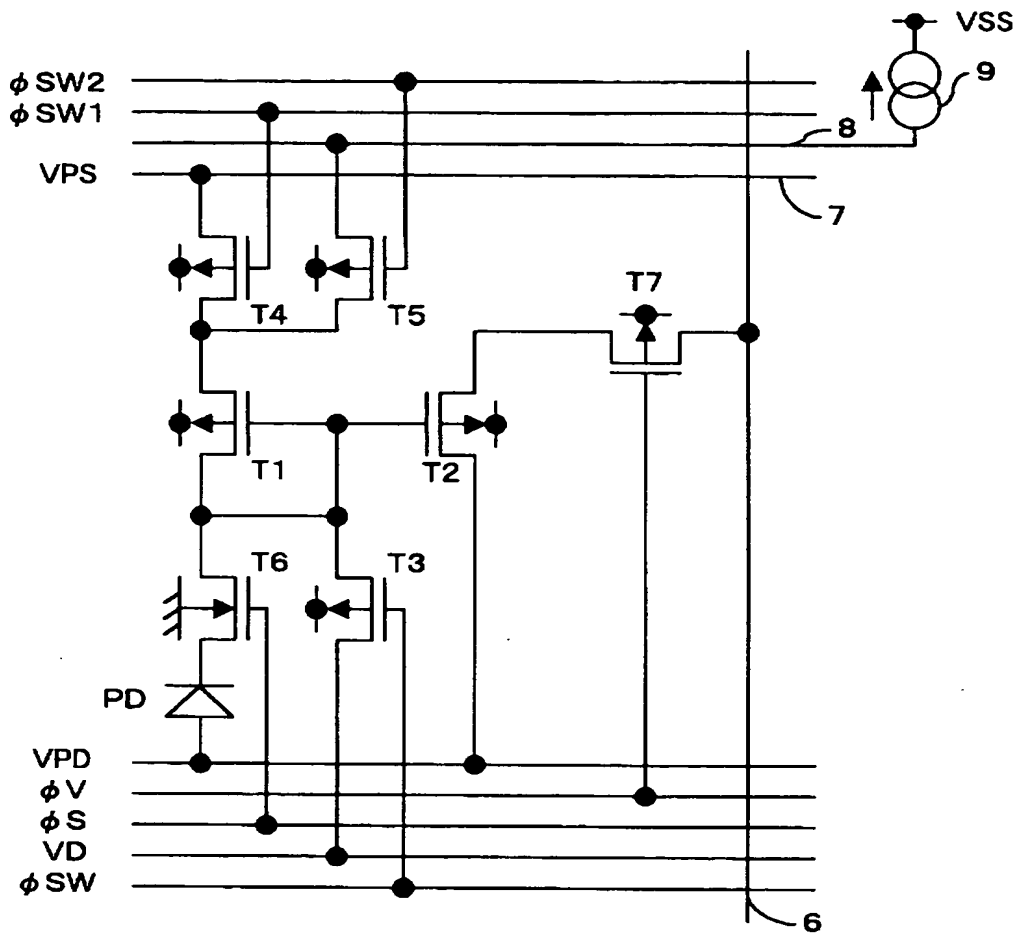
【図 23】



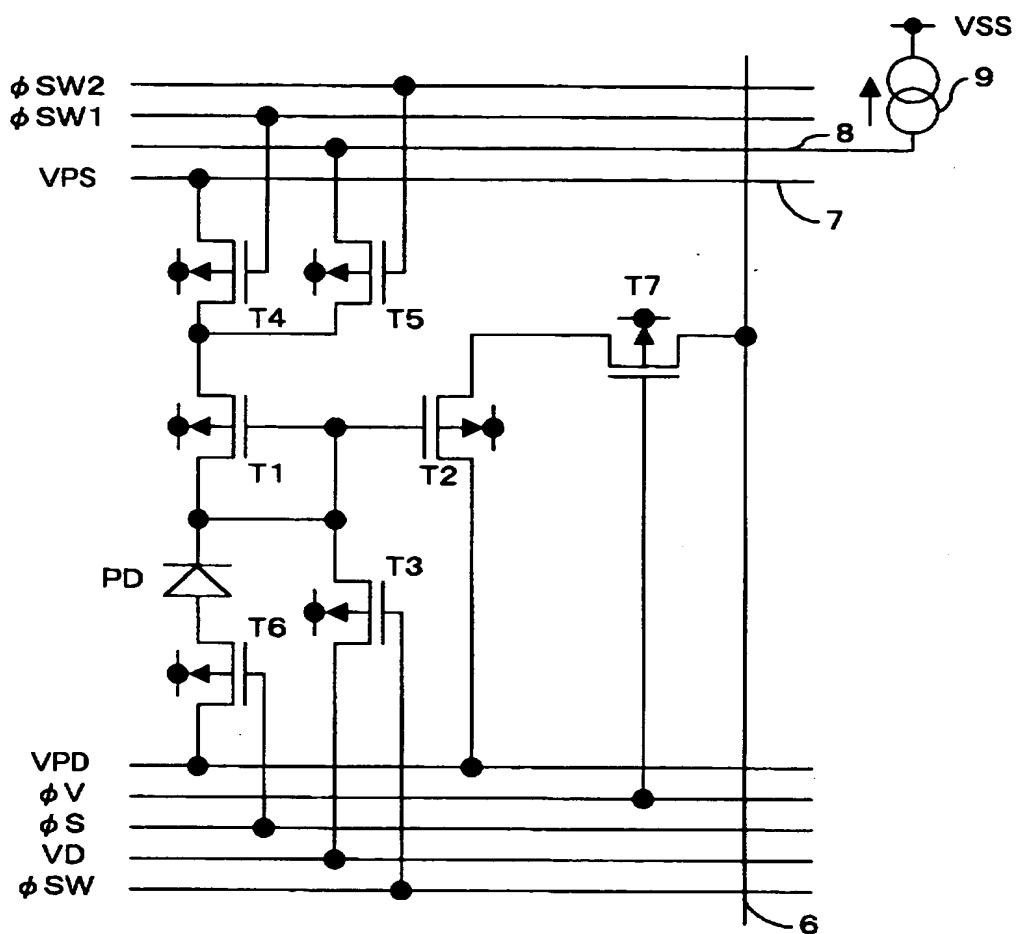
【図 2 4】



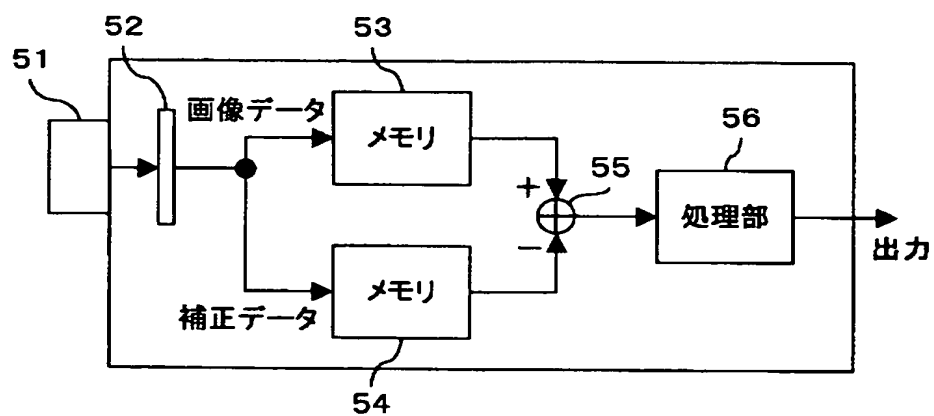
【図 25】



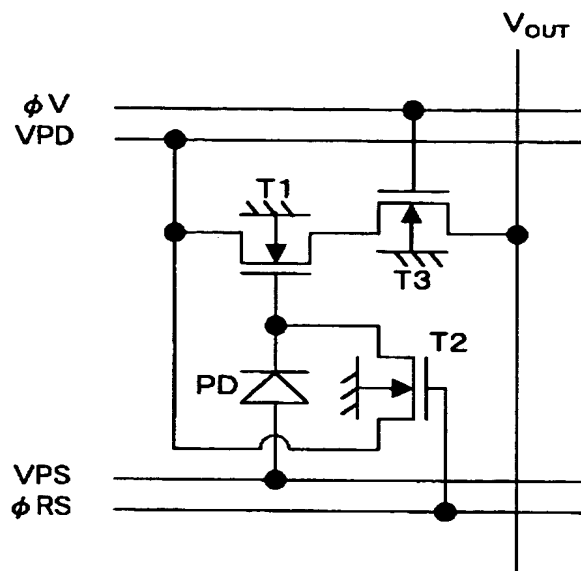
【图 2 6】



【图 2 7】



【図 2 8】



【書類名】 要約書

【要約】

【課題】 本発明はこのような点に鑑みなされたものであって、予め一様光を照射することなく、被写体の撮像時における各画素の出力を補正する補正データを正確に得ることができる固体撮像装置を提供することを目的とする。

【解決手段】 撮像動作を行うとき、MOSトランジスタT4をONにするとともに、MOSトランジスタT3及びMOSトランジスタT5をOFFにして、MOSトランジスタT1をサブスレッシュホールド領域で動作させることによって、対数変換された出力信号を信号線6に導出する。又、リセット動作を行うときは、MOSトランジスタT4をOFFにするとともに、MOSトランジスタT3及びMOSトランジスタT5をONにして、MOSトランジスタT1に定電流を流すことによって、各画素がリセットされたときの出力信号を信号線6に導出する。

【選択図】 図2

認定・付加情報

特許出願の番号	特願 2000-056029
受付番号	50005017284
書類名	特許願
担当官	小菅 博 2143
作成日	平成 12 年 6 月 1 日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000006079
【住所又は居所】	大阪府大阪市中央区安土町二丁目 3 番 13 号 大阪国際ビル

【氏名又は名称】	ミノルタ株式会社
----------	----------

【代理人】 申請人

【識別番号】	100085501
【住所又は居所】	大阪府大阪市中央区天満橋京町 2 番 6 号 天満橋八千代ビル別館 佐野特許事務所

【氏名又は名称】	佐野 静夫
----------	-------

【代理人】

【識別番号】	100111811
【住所又は居所】	大阪府大阪市中央区天満橋京町 2 丁目 6 番 天満橋八千代ビル別館 佐野特許事務所

【氏名又は名称】	山田 茂樹
----------	-------

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 6 0 7 9]

1. 変更年月日 1 9 9 4 年 7 月 2 0 日

[変更理由] 名称変更

住 所 大阪府大阪市中央区安土町二丁目 3 番 1 3 号 大阪国際ビル
氏 名 ミノルタ株式会社